

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SANG-HEE KANG

Application No.:

Filed:

For: **Semiconductor Memory Device  
Having Advanced Repair Circuit**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2003-0027762	30 April 2003

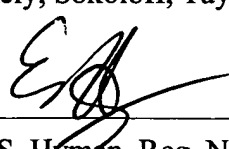
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/3/03

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

  
Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0027762  
Application Number

출원년월일 : 2003년 04월 30일  
Date of Application APR 30, 2003

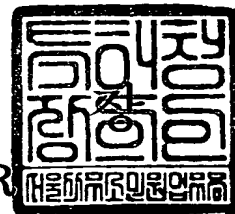
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0015		
【제출일자】	2003.04.30		
【발명의 명칭】	리페어회로의 동작 마진을 향상시킬 수 있는 반도체 메모리 장치		
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE FOR ENHANCED MARGIN OF REPAIR CIRCUIT		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	강상희		
【성명의 영문표기】	KANG, Sang Hee		
【주민등록번호】	700718-1109218		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 아미리 현대전자 고담기숙사 101-502		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	46	면	46,000 원

1020030027762

출력 일자: 2003/10/29

【우선권주장료】	0	건	0	원
【심사청구료】	18	항	685,000	원
【합계】	760,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

## 【요약서】

## 【요약】

본 발명은 메모리 장치에서 입력되는 어드레스가 리턴던시 관련 어드레스인지를 판단하여, 노멀회로와 리턴던시회로를 구동시키는 데 있어서의 동작 마진을 안정적으로 유지시켜, 동작상의 신뢰성을 향상시킬 수 있는 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 리턴던시 회로의 구동제어를 위한 인에이블 신호를 생성하는 인에이블 신호 생성수단; 입력되는 어드레스를 래치하기 위한 어드레스 래치수단; 서로 다른 리페어 어드레스를 각각 저장하고, 상기 어드레스 래치수단에 래치된 어드레스가 상기 저장된 리페어 어드레스와 동일한 경우에 리페어 신호를 활성화시켜 출력하는 다수의 리페어 어드레스 비교부; 상기 어드레스 래치수단에 래치된 어드레스가 상기 리페어 어드레스 비교부에 입력되고 난 후부터 상기 리페어 신호가 활성화되기까지의 지연시간이 모델링된 리페어 어드레스 비교모사부; 및 상기 다수의 리페어 어드레스 비교부에서 출력되는 다수의 리페어신호에 의해서 노멀회로 또는 상기 리턴던시 회로가 구동되도록 제어하되, 상기 리페어 어드레스 비교모사부를 통과한 상기 인에이블 신호에 응답하여 인에이블되는 리페어회로 제어부를 구비하는 반도체 메모리 장치를 제공한다.

## 【대표도】

도 12

## 【색인어】

반도체, 메모리, 퓨즈, 어드레스, 뱅크.

**【명세서】****【발명의 명칭】**

리페어회로의 동작 마진을 향상시킬 수 있는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE FOR ENHANCED MARGIN OF REPAIR CIRCUIT}

**【도면의 간단한 설명】**

도1은 종래기술에 의한 메모리 장치의 리페어회로를 나타내는 블록구성도.

도2는 도1에 도시된 리페어 어드레스 비교부를 나타내는 블록구성도.

도3는 도2에 도시된 퓨즈인에이블부를 나타내는 회로도.

도4는 도2에 도시된 단위 어드레스비교부를 나타내는 회로도.

도5는 도2에 도시된 신호조합부를 나타내는 회로도.

도6은 도1에 도시된 어드레스 래치부를 나타내는 회로도.

도7은 도1에 도시된 어드레스 래치부를 나타내는 회로도.

도8은 도1에 도시된 리페어회로 제어부를 나타내는 회로도.

도9는 도1에 도시된 뱅크제어부의 일부분을 나타내는 블록구성도.

도10은 도1에 도시된 메모리 장치의 리페어회로부의 동작을 나타내는 파형도.

도11은 도1에 도시된 메모리 장치의 문제점을 나타내는 파형도.

도12는 본 발명의 바람직한 실시예에 따른 메모리 장치의 리던던시 회로를 나타내는 블록구성도.

도13은 도12에 도시된 리페어 어드레스 비교부를 나타내는 블록구성도.

도14는 도13에 도시된 퓨즈인에이블부의 제1 일실시예를 나타내는 회로도.

도15는 도13에 도시된 단위 어드레스 비교부를 나타내는 회로도.

도16은 도13에 도시된 신호조합부를 나타내는 회로도.

도17은 도14에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 뱅크제어부에서 인에이블 신호를 생성하는 부분을 나타내는 회로도.

도18은 도14에 도시된 퓨즈인에이블부를 적용할 때에 도12에 도시된 리페어 어드레스 비교모사부를 나타내는 회로도.

도19는 도13에 도시된 퓨즈인에이블부의 제2 실시예를 나타내는 회로도.

도20은 도19에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 뱅크제어부에서 인에이블 신호를 생성하는 부분을 나타내는 회로도.

도21은 도19에 도시된 퓨즈인에이블부를 적용할 때에 도12에 도시된 리페어 어드레스 비교모사부를 나타내는 회로도.

도22는 도12의 리페어회로 제어부를 나타내는 회로도.

도23은 도22에 도시된 리페어신호 경로모사부를 나타내는 회로도.

도24는 도14에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 메모리 장치의 동작을 나타내는 파형도.

도25는 도19에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 메모리 장치의 동작을 나타내는 파형도.

\* 도면의 주요부부에 대한 설명

I1 ~ I37 : 인버터

NOR1 ~ NOR26 : 노어게이트

ND1 ~ ND30 : 낸드게이트

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <30> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 결함셀을 구제하기 위한 리던던시 회로에 관한 것이다.
- <31> 반도체 메모리 장치 제조시 수많은 단위셀 중에서 한 개라도 결함이 있으면 메모리로서의 기능을 수행 하지 못하므로 불량품으로 처리된다. 그러나 메모리 내의 일부 셀에만 결함이 발생하였는데도 불구하고 장치 전체를 불량품으로 폐기하는 것은 수율(yield)측면에서 비효율적인 처리방법이다.
- <32> 따라서, 현재는 메모리장치 내에 미리 설치해둔 예비용 단위셀을 이용하여 불량이 발생한 노멀 단위셀을 대체함으로써, 전체 메모리를 되살려 주는 방식으로 수율 향상을 이루고 있다.
- <33> 예비용 단위셀을 이용한 리페어 작업은 통상, 일정 셀 어레이(cell array)마다 스페어로우(spare row)와 스페어 칼럼(spare column)을 미리 설치해 두어 결함이 발생된 불량 단위셀을 로우/컬럼 단위로 예비용 단위셀로 치환해 주는 방식으로 진행된다.



- <34> 이를 자세히 살펴보면, 웨이퍼 가공 완료후 테스트를 통해 불량 단위셀을 골라내면 그에 해당하는 어드레스(address)를 스페어 셀의 어드레스 신호로 바꾸어 주는 프로그램을 내부 회로에 행하게 된다. 따라서, 실제 사용시에는 불량 라인에 해당하는 어드레스 신호가 입력되면 이 대신 예비 라인으로 선택이 바뀌게 되는 것이다.
- <35> 따라서 메모리 장치는 다수의 노멀 단위셀을 구비한 셀영역에 에러셀을 대체하기 위한 예비용 단위셀을 추가로 구비하고 있으며, 어드레스가 에러셀을 액세스하고자 하는 경우 셀영역의 노멀 단위셀 대신 예비용 셀이 대체되어 액세스될 수 있도록 어드레스 경로를 변경하는 리던던시 회로부를 구비하고 있다.
- <36> 도1은 종래기술에 의한 메모리 장치의 리페어회로를 나타내는 블록구성도이다.
- <37> 도1을 참조하여 살펴보면, 메모리 장치의 리페어회로는 버퍼링된 어드레스를 래치하는 어드레스래치부(40)와, 어드레스래치부(40)에서 래치되어 출력되는 어드레스(raz<2:M-1>)가 리페어 어드레스인지를 감지하는 다수의 단위 리페어 어드레스 비교부(10\_1~10\_n)와, 다수의 단위 리페어 어드레스 비교부(10\_1~10\_n)의 초기화를 위한 퓨즈초기화 회로(20)과, 다수의 단위 리페어 어드레스 비교부(10\_1~10\_n)에서 출력되는 신호를 조합하여 노멀셀을 액세스할 것인지 리던던시 셀을 액세스할 것인지를 판단하기 위한 리페어회로 제어부(60)를 구비한다.
- <38> 여기서 프리디코더(30)는 어드레스 래치부(40)에 래치된 데이터를 입력받아 프리디코딩한 후에 메인디코더(미도시)로 출력하기 위한 블록이다.
- <39> 도2는 도1에 도시된 리페어 어드레스 비교부(10\_1)를 나타내는 블록구성도이다.
- <40> 도2를 참조하여 살펴보면, 리페어 어드레스 비교부(10\_1)는 퓨즈초기화 회로(20)에서 출력되는 퓨즈리셋신호(fuse\_reset)를 입력받아 선택된 신호조합부(12)를 인에이블시키는 퓨즈인

에이블 신호(fuse\_enable)를 출력하는 퓨즈 인에이블부(11\_1)와, 어드레스 래치부(40)에서 출력되는 한 비트의 어드레스 신호(예컨대 raz<2>)를 리페어 어드레스 신호인지 비교하여 출력하는 다수의 단위어드레스 비교부(11\_2~11\_m-1)와, 퓨즈인에이블 신호(fuse\_enable)에 인에이블되어 다수의 단위어드레스 비교부(11\_2~11\_m-1)에서 출력되는 다수의 어드레스 비교신호(fuse\_compare<2~M-1>)를 조합하여 리페어 어드레스 비교부(10\_1)에 입력되는 어드레스가 리페어 어드레스인지를 판단하는 신호조합부(12)를 구비한다.

<41> 도3은 도2에 도시된 퓨즈인에이블부(11\_1)를 나타내는 회로도이다.

<42> 도3을 참조하여 살펴보면, 퓨즈 인에이블부(11\_1)는 퓨즈리셋 신호(fuse\_reset)를 게이트로 인가받고 일측이 전원전압(VDD)에 접속된 모스트랜지스터(MP1)와, 퓨즈리셋 신호(fuse\_reset)를 게이트로 인가받고 일측이 접지전압(VSS)에 접속된 모스트랜지스터(MN1)와, 모스트랜지스터(MP1)의 타측과 모스트랜지스터(MN1)의 타측 노드(X)사이에 구비된 인에이블 퓨즈(fen)와, 노드(X)에 인가되는 신호를 반전하여 출력하는 인버터(I1)와, 인버터(I1)의 출력을 게이트로 인가받고 노드(X)와 접지전압(VSS)을 연결하는 모스트랜지스터(MN2)와, 인버터(I1)의 출력을 반전하여 퓨즈인에이블 신호(fuse\_enable)를 출력하는 인버터(I2)를 구비한다.

<43> 도4는 도2에 도시된 다수의 단위 어드레스 비교부중에서 하나를 나타내는 회로도이다.

<44> 도4를 참조하여 살펴보면, 단위 어드레스 비교부(11\_2)는 퓨즈리셋 신호(fuse\_reset)를 게이트로 인가받고 일측이 전원전압(VDD)에 접속된 모스트랜지스터(MP2)와, 퓨즈리셋 신호(fuse\_reset)를 게이트로 인가받고 일측이 접지전압(VSS)에 접속된 모스트랜지스터(MN2)와, 모스트랜지스터(MP2)의 타측과 모스트랜지스터(MN2)의 타측 노드(Y)사이에 구비된 어드레스 퓨즈(f)와, 노드(Y)에 인가되는 신호를 반전하여 출력하는 인버터(I3)와, 인버터(I4)의 출력을 게이트로 인가받고 노드(Y)와 접지전압(VSS)을 연결하는 모스트랜지스터(MN4)와, 어드레스 퓨즈

(f)가 블로잉되었을 경우에 턴온되어, 입력되는 어드레스 신호(raz)를 그대로 전달하는 전성게이트(T1)와, 어드레스 퓨즈(f)가 블로잉되지 않았을 경우에 입력되는 어드레스 신호(ras)를 반전하여 어드레스 비교신호(fuse\_compare<2>)를 출력하는 전송게이트(T2)를 구비한다.

<45> 도5는 도2에 도시된 신호조합부(12)를 나타내는 회로도이다.

<46> 도5를 참조하여 살펴보면, 신호조합부(12)는 퓨즈인에이블 신호(fuse\_enable)와 어드레스 비교신호(fuse\_compare<2>, fuse\_compare<3>)를 입력받는 노어게이트(NOR1)와, 어드레스 비교신호(fuse\_compare<7> ~ <9>)를 입력받는 노어게이트(NOR3)와, 어드레스 비교신호(fuse\_compare<10> ~ <12>)를 입력받는 노어게이트(NOR4)와, 노어게이트(NOR1)와 노어게이트(NOR2)의 출력을 입력받는 낸드게이트(ND1)와, 노어게이트(NOR3)와 노어게이트(NOR4)의 출력을 입력받는 낸드게이트(ND2)와, 낸드게이트(ND1)와 낸드게이트(ND2)의 출력을 입력받는 노어게이트(NOR5)와, 노어게이트(NOR5)의 출력을 반전하여 리페어신호(hitz<0>)를 출력하는 인버터(I6)를 구비한다.

<47> 도6은 도1에 도시된 어드레스 래치부(40)에서 한비트의 어드레스 신호가 뱅크제어부에서 출력되는 제어신호(ae, rae)에 응답하여 프리디코더(30)와 리페어 어드레스 비교부(10\_1 ~ 10\_n)로 출력하는 회로도이다.

<48> 도6을 참조하여 살펴보면, 어드레스 래치부(50)는 제어신호(ae)에 의해 턴온되어 어드레스(eat)를 전달하는 전송게이트(T3)와, 전송게이트(T3)에서 출력되는 신호를 래치하는 두 인버터(I11, I8)과, 제어신호(ae)와 인버터(I8)의 출력을 입력받는 낸드게이트(ND3)와, 낸드게이트(ND3)의 출력을 반전하여 프리디코더(30)의 입력 어드레스(baz)로 출력하는 인버터(I9)와, 제어신호(rae)와 인버터(I8)의 출력을 입력받는 낸드게이트(ND4)와, 낸드게이트(ND4)의 출력을

반전하여 리페어 어드레스 비교부(10\_1~10\_n)의 입력어드레스(raz)로 출력하는 인버터(I10)를 구비한다.

<49> 여기서 인버터(I11)는 3상 인버터로 인버터(I7)의 출력과 제어신호(ae)의 상태에 따라서 인버터(I8)의 출력을 반전하여 인버터(I8)의 입력으로 보내게 된다.

<50> 도7은 도1에 도시된 어드레스 래치부의 일부를 나타내는 회로도로서, 제어신호(ae)에 의해 입력되는 어드레스를 래치하여 프리디코더(30)로 출력하는 부분만을 나타내고 있다.

<51> 도7을 참조하여 살펴보면, 어드레스 래치부는 제어신호에 응답하여 턴온되어, 입력되는 어드레스 신호(eat)를 전달하는 전송게이트(T4)와, 전송게이트(T4)의 출력을 래치하는 인버터(I14,I15)와, 인버터(I14,I15)에 의해 래치된 어드레스 신호를 버퍼링하여 프리디코더(30)로 출력하는 직렬연결된 인버터(I16,I17)을 구비한다.

<52> 도8은 도1에 도시된 리페어회로 제어부(60)를 나타내는 회로도로서 특히 리페어 어드레스 비교부가 32인 경우를 나타낸 회로도이다.

<53> 도8을 참조하여 살펴보면, 리페어회로 제어부(60)은 다수의 리페어 어드레스 비교부(10\_1 ~ 10\_n)에서 출력되는 다수의 리페어신호(hitz<0>~hit<31>)중 리페어신호(hitz<0> ~ <3>)를 입력받는 낸드게이트(ND3)와, 리페어신호(hitz<4> ~ <7>)를 입력받는 낸드게이트(ND4)와, 리페어신호(hitz<8> ~ <11>)를 입력받는 낸드게이트(ND5)와, 리페어신호(hitz<12> ~ <15>)를 입력받는 낸드게이트(ND6)와, 리페어신호(hitz<16> ~ <19>)를 입력받는 낸드게이트(ND7)와, 리페어신호(hitz<20> ~ <23>)를 입력받는 낸드게이트(ND8)와, 리페어신호(hitz<24> ~ <27>)를 입력받는 낸드게이트(ND9)와, 리페어신호(hitz<28> ~ <31>)를 입력받는 낸드게이트(ND10)와, 낸드게이트(ND3)와 낸드게이트(ND4)의 출력을 입력받는 노어게이트(NOR6)와, 낸드게이트

(ND5)와 낸드게이트(ND6)의 출력을 입력받는 노어게이트(NOR7)와, 낸드게이트(ND7)와 낸드게이트(ND8)의 출력을 입력받는 노어게이트(NOR8)와, 낸드게이트(ND9)와 낸드게이트(ND10)의 출력을 입력받는 노어게이트(NOR9)와, 노어게이트(NOR6)와 노어게이트(NOR7)의 출력을 입력받는 낸드게이트(ND11)와, 노어게이트(NOR8)와 노어게이트(NOR9)의 출력을 입력받는 낸드게이트(ND12)와, 낸드게이트(ND11)와 낸드게이트(ND12)의 출력을 입력받는 노어게이트(NOR10)와, 노어게이트(NOR10)의 출력을 반전하여 리턴던시회로 인에이블신호(red\_enable)를 인버터(I19)와, 뱅크 제어부에서 출력되는 제어신호(aed2)를 반전하여 출력하는 인버터(I18)과, 낸드게이트(ND11)와 낸드게이트(ND12)의 출력과 인버터(I18)의 출력을 입력받는 노어게이트(NOR9)와, 노어게이트(NOR9)의 출력을 버퍼링하여 노멀회로 인에이블신호(normal\_enable)를 출력하는 직렬연결된 인버터(I20, I21)을 구비한다.

<54> 도9는 도1에 도시된 뱅크제어부에서 제어신호(aed1, ade2)를 출력하는 부분을 나타내는 블록구성도이다.

<55> 도9를 참조하여 살펴보면, 뱅크제어부(50)는 제어신호(ae)를 입력받아 각각 소정시간 지연시킨 제어신호(aed1, aed2)를 출력하는 딜레이를 구비한다.

<56> 도10은 도1에 도시된 메모리 장치의 리페어회로의 동작을 나타내는 파형도이다. 이하에서 도1 내지 도10을 참조하여 종래기술에 의한 메모리 장치의 리페어회로의 동작을 살펴본다.

<57> 반도체 메모리 장치는 다수의 뱅크를 구비하게 되는데, 각 뱅크마다 입력되는 어드레스가 노멀셀을 액세스하기 위한 노멀 어드레스인지 리턴던시 회로의 예비셀을 액세스하기 위한 리페어 어드레스인지 판단하는 리페어회로부와 노멀셀에 에러가 발생했을 때 대체되어 액세스될 리턴던시 회로를 구비하고 있다. 도1에 도시된 리페어회로는 하나의 뱅크에 구비되는 리페어회로를 나타내고 있는 것이다.

- <58> 한편, 반도체 메모리 장치가 제조완료되고 나서 테스트를 하여 노멀셀중 에러가 있는 셀이 발견되면, 예비용 셀이 대체되어 액세스될 수 있도록 리페어 공정을 하게 되는데, 하나의 어드레스 경로를 대체하는데 하나의 리페어 어드레스 비교부가 사용된다.
- <59> 하나의 어드레스 경로를 대체하기 위해 다수의 리페어 어드레스 비교부(10\_1~10\_n)중 하나를 선택하고 선택된 리페어 어드레스 비교부(예를 들어 10\_1)의 퓨즈인에이블부(11\_1)에 구비된 인에이블퓨즈(fen)에 레이저를 조사하여 블로잉시킨다.
- <60> 이어서 리페어되어야 할 어드레스에 따라서, 단위 어드레스 비교부(11\_2~11\_m-1)에 각각 구비되는 어드레스 퓨즈를 선택적으로 블로잉시킨다. 따라서 하나의 리페어 어드레스 비교부에 리페어된 하나의 어드레스가 저장되는 것이다. 도시된 리페어 어드레스 비교부가 32개라면 총 32개의 어드레스 경로를 리페어 할 수 있는 것이다.
- <61> 계속해서 메모리 장치의 동작시를 살펴보면, 데이터 액세스를 위해 어드레스 신호가 입력되면 어드레스 입력버퍼(도시 안됨)에 의해서 버퍼링되어 어드레스 래치부(40)로 입력된다. 어드레스 래치부(40)는 래치된 어드레스(eat<0:M-1>)를 이용하여 뱅크제어부(50)에서 출력되는 제어신호(ae)에 응답하여 프리디코더(30)로 노멀 어드레스(baz<0:M-1>)를 출력한다.
- <62> 프리디코더(30)는 노멀 어드레스(baz<0:M-1>)를 디코딩하고, 여기서 디코딩된 신호는 메인디코더(도시안됨)로 출력되며, 메인디코더는 프리디코더(30)에서 출력되는 디코딩된 어드레스신호(add<0:M-1>)를 이용하여 디코딩을 한번 하게 되는데, 여기서 디코딩된 신호가 데이터가 액세스될 단위셀을 선택하는데 사용되는 것이다.

- <63> 한편, 어드레스 래치부(40)는 래치된 어드레스(eat<2:M-1>)를 이용하여 뱅크제어부(50)에서 출력되는 제어신호(rae)에 응답하여 다수의 리페어 어드레스 비교부(10\_1~10\_n)로 어드레스(raz<2:M-1>)를 출력한다.
- <64> 여기서 다수의 리페어 어드레스 비교부(10\_1~10\_n)로 입력되는 어드레스(raz<2:M-1>)가 래치된 어드레스(eat<0:M-1>)보다 두비트가 작은 것은 통상적으로 메모리 장치에서는 노멀 워드라인을 리던던시용 워드라인으로 대체할 때에 한번의 리페어 어드레스를 이용하여 4개의 리던던시용 워드라인으로 대체하기 때문이다.
- <65> 다수의 리페어 어드레스 비교부(10\_1~10\_n)는 입력되는 어드레스(raz<2:M-1>)를 입력받아 리페어될 어드레스인지를 판단하고, 그결과에 따라서 리페어신호(예컨대 hitz<0>)를 출력한다. 따라서 리페어 어드레스 비교부가 32개이라면 총 32개의 리페어 어드레스를 판단할 수 있는 것이고, 32개의 어드레스를 리페어할 수 있다는 것을 나타낸다.
- <66> 다수의 리페어 어드레스 비교부(10\_1~10\_n)는 어드레스(raz<2:M-1>)를 입력받아 리페어될 어드레스인지를 판단하고, 그 결과에 따라서 리페어신호(예컨대 hitz<0>)를 출력한다.
- <67> 리페어신호(hitz<0>)가 출력되는 동작을 자세히 살펴보면, 먼저 퓨즈 인에이블부(11\_1)에서는 구비된 인에이블 퓨즈(fen)에 레이저가 조사되어 블로잉되어 있는 상태이면 퓨즈인에이블 신호(fuse\_enable)를 활성화시켜 신호조합부(12)로 출력하게 된다.
- <68> 이 때 퓨즈리셋신호(fuse\_reset)는 메모리 장치가 초기동작시 로우-하이-로우 상태를 가지는 펄스형태로 퓨즈인에이블부(11\_1)와 다수의 단위 어드레스 비교부(11\_2~11\_m-1)에 출력되는데, 퓨즈 인에이블부(11\_1)에 구비된 인에이블 퓨즈(fen)이 블로잉이 되면 신호조합부(12)로

출력되는 퓨즈 인에이블신호(fuse\_enable)는 로우레벨로 활성화되어 신호조합부(12)를 인에이블시키게 되는 것이다.

<69> 어드레스 비교부(예컨대 11\_2)는 구비된 퓨즈(f)가 블로잉되어 있는 상태에서는 어드레스 래치부(40)에서 출력되는 어드레스 신호중 한 비트의 어드레스신호(raz<2>)를 입력받아 그대로 출력시키는 어드레스 비교신호(fuse\_compare<2>)를 출력하고, 구비된 퓨즈(f)가 블로잉되지 않는 상태에서는 어드레스신호(raz<2>)를 입력받아 반전하여 어드레스 비교신호(fuse\_compare<2>)로 출력한다.

<70> 신호조합부(12)는 퓨즈인에이블부(11\_1)와 단위 어드레스 비교부(11\_2~11\_m-1)에서 출력되는 신호를 조합하는데, 퓨즈인에이블부(11\_1)와 단위 어드레스 비교부(11\_2~11\_m-1)에서 출력되는 신호가 모두 로우레벨을 가지게 되면 리페어신호(hiz<0>)를 로우레벨로 활성화시켜 출력시킨다. 도5에 도시된 신호조합부는 단위 리페어 어드레스가 11개인 경우를 나타내고 있는 것이다.

<71> 따라서 다수의 단위 리페어 어드레스 비교부(11\_2 ~ 11\_m-1)에 각각 구비된 어드레스 퓨즈(f)를 선택적으로 어드레스 퓨즈(f)를 블로잉함으로서 각각의 리페어 어드레스 비교부(10\_1~10\_n)에 저장된 리페어 어드레스와 입력되는 어드레스(raz<2:M-1>)가 일치하는 지를 판단하고, 판단된 결과가 일치하는 리페어 어드레스 비교부에서는 리페어신호(hitz<0:n>)를 로우레벨로 인에이블시켜 출력하는 것이다.

<72> 리페어회로 제어부(60)에서는 리페어신호(hitz<0:n>)중 하나라도 로우레벨이 되면, 즉, 구비된 낸드게이트(ND3~ND10)중에서 로우레벨의 리페어신호(hitz<0:n>)가 입력되면, 로우레벨의 리페어신호(hitz<0:n>)가 입력되는 낸드게이트의 출력은 하이레벨이 된다. 이로 인하여



제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)의 레벨이 하이레벨이 되며, 리턴던시회로 인에이블신호(red\_enable)는 하이레벨로 인에이블상태가 되고, 노멀회로 인에이블신호(normal\_enable)는 로우레벨로 디스에이블상태가 된다.

- <73> 리턴던시회로 인에이블신호(red\_enable)가 하이레벨로 인에이블상태가 되면 현재 입력되어 래치된 어드레스(ras<2:M-1>)는 리페어된 어드레스이므로 데이터 액세스는 리페어 공정시에 메모리 셀어레이의 노멀셀을 대체한 리턴던시 회로의 예비셀에서 이루어지게 되는 것이다.
- <74> 한편, 다수의 리페어 어드레스 비교부(10\_1~10\_n)에서 각각 저장된 리페어 어드레스와 래치된 어드레스(ras<2:M-1>)를 비교하여 일치하는 경우가 없는 경우에는 리페어신호(hitz<0:n>)는 모두 하이레벨로 출력이 된다. 이로 인하여 리페어회로 제어부(60)의 제1 및 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)의 레벨이 모두 로우레벨이 되어 리턴던시회로 인에이블신호(red\_enable)는 로우레벨로 비활성화상태가 되고, 노멀회로 인에이블신호(normal\_enable)는 하이레벨로 활성화상태가 된다.
- <75> 리턴던시회로 인에이블신호(red\_enable)가 로우레벨로 비활성화상태가 되고, 노멀회로 인에이블신호(normal\_enable)는 하이레벨로 활성화상태가 되면, 현재 입력되어 래치된 어드레스(ras<2:M-1>)는 리페어된 어드레스가 아니므로 데이터 액세스는 메모리 셀어레이에 노멀셀을 액세스하게 된다.
- <76> 여기서 리페어회로 제어부(60)의 제어신호(aed2)는 제어신호(ae)를 일정시간 지연시켜 생성하는 신호로서, 제1 및 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)의 레벨이 변하고 나서 제어신호(aed2)가 하이레벨로 리페어회로 제어부(60)으로 입력됨으로서 노멀회로 인에이블신호(normal\_enable)가 출력되도록 하는 신호이다.

- <77> 도11은 도1에 도시된 메모리 장치의 문제점을 나타내는 파형도이다. 이하에서는 도1 내지 도11을 참조하여 종래기술에 의한 메모리 장치의 문제점을 살펴본다.
- <78> 전술한 메모리 장치의 리페어회로 동작상에 문제점은 퓨즈 인에이블신호(fuse\_enable)를 제어하지 않는다는 것이다. 퓨즈초기화회로(20)에서 퓨즈리셋신호(fuse\_reset)가 리페어 어드레스 비교부(10\_1 ~ 10\_n)로 출력되기만 하면, 각 리페어 어드레스 비교부에 구비된 퓨즈인에이블부에서 퓨즈 인에이블신호(fuse\_enable)가 생성되어 신호조합부(12)로 출력되어 리페어신호(hitz<0>)가 생성된다. 이로 인하여 리페어회로제어부(60)에서는 리턴던시회로 인에이블신호(red\_enable)와, 노멀회로 인에이블신호(normal\_enable)가 출력이 된다.
- <79> 퓨즈리셋신호(fuse\_reset)는 메모리 장치가 동작하면 바로 생성되는 신호이고, 이로 인하여 퓨즈 인에이블신호(fuse\_enable)는 바로 생성되어, 퓨즈인에이블 신호(fuse\_enable)로는 리턴던시회로 인에이블신호(red\_enable)와 노멀회로 인에이블신호(normal\_enable)의 출력타이밍을 제어할 수 없게 되는 것이다.
- <80> 한편, 특정한 어드레스를 하나의 리페어 어드레스 비교부(예컨대 10\_1)가 리페어하는 경우 퓨즈인에이블부(11\_1)에 구비된 인에이블용 퓨즈(fen)만 블로잉시키고, 나머지 모든 어드레스 비교부(11\_1~11\_m-1)의 어드레스용 퓨즈(f)는 블로잉시키지 않는 경우, 즉 리페어해야할 어드레스가 모두 1일 경우가 생기게 된다.
- <81> 이 경우에는 프리차지(precharge; 도10의 PCG구간 참조) 상태에서 리페어 어드레스 비교부로 입력되는 어드레스가 전부 '1'인 경우에 신호조합부(12)에 입력되는 모든 어드레스 비교신호(fuse\_compare<2> ~ <12>)와 퓨즈인에이블 신호(fuse\_enable)가 모두 로우레벨이 되어 리페어신호(hitz<0>)를 로우레벨로 인에이블시키게 된다.

- <82> 프리차지상태에서 리페어신호(hitz<0>)가 로우레벨로 인에이블되면, 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)는 하이레벨이 된다. 프리차지 구간에서 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)가 하이레벨이 된 상태에서 다음에 입력되는 어드레스가 리페어 어드레스가 아닌 경우에는 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)가 모두 로우레벨로 환원되어야 한다.
- <83> 통상적으로 리페어회로 제어부(60)는 메모리 장치가 동작중에 리페어신호가 하이레벨에서 로우레벨로 입력되는 경우에 반응하여 고속으로 동작하도록 구성되어 있다. 따라서 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)가 로우레벨에서 하이레벨로는 고속으로 변환하지만 하이레벨에서 로우레벨로는 더 시간이 걸리게 된다.
- <84> 도11에 도시된 바와 같이, 리페어회로 제어부(60)의 리턴던시회로 인에이블신호(red\_enable)와 노멀회로 인에이블신호(normal\_enable)의 출력타이밍을 조절하기 위해 뱅크제어부(50)에서 출력되는 제어신호(aed2)를 출력하는데 필요하는 마진이 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)가 하이레벨에서 로우레벨로 변환할 때와 로우레벨에서 하이레벨로 변환할 때의 크게 차이를 알 수 있다.
- <85> 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)가 로우레벨에서 하이레벨로 변환할 때의 제어신호(aed2)의 마진은 크게 문제가 되지 않을 수도 있으나, 하이레벨에서 로우레벨로 변환할 때에는 제어신호(aed2)의 마진이 적어서 적절한 타이밍에 리턴던시회로 인에이블신호(red\_enable)와 노멀회로 인에이블신호(normal\_enable)이 출력되지않고 에러를 유발할 수도 있다.

<86> 전술한 바와 같이, 퓨즈인에이블신호(fuse\_enable)를 제어하지 않아서 어드레스(raz<2:M-1>가 리페어 어드레스 비교부에 입력되기만 하면, 리페어신호(hitz)는 생성되어 리페어회로 제어부(60)로 출력이 되며, 뱅크제어부에서는 단지 제어신호(ae)를 지연시켜 제어신호(aed2)를 생성하기 때문에, 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)의 레벨이 변하는 타이밍과 제어신호의 입력타이밍 간에 마진이 크게 차이가 나게 되므로, 추가마진확보를 위해서는 속도손실을 감수해야 한다.(도11의 A와 B 참조)

<87> 메모리 장치에서는 어드레스가 입력되면, 입력된 어드레스가 리페어된 어드레스인지를 먼저 판단하고, 판단결과에 따라서 노멀셀을 액세스할 것인지 또는 리던던시 셀을 액세스할 것인지를 정하는 동작을 반드시 하기 때문에 리페어회로 제어부(60)의 동작마진은 메모리 장치의 동작에 큰 영향을 미치게 된다.

<88> 따라서 전술한 리페어회로 제어부(60)의 제1 또는 제2 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)의 레벨이 변하는 타이밍과 제어신호의 입력타이밍 간에 마진을 불안정하게 되면 메모리 장치의 동작상의 신뢰성이 크게 저하 되는 문제점이 생기므로, 이를 해결하기 위해서는 추가 마진을 확보해야 하므로 속도손실이 발생하게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<89> 본 발명은 전술한 문제점을 해결하기 위한 것으로 메모리 장치에서 입력되는 어드레스가 리페어된 어드레스인지를 판단하여, 노멀회로와 리던던시회로를 구동시키는 데 있어서의 동작마진을 안정적으로 유지시켜, 동작상의 신뢰성을 향상시킬 수 있는 메모리 장치를 제공하는 것을 목적으로 한다.

## 【발명의 구성 및 작용】

<90> 본 발명은 상기의 과제를 해결하기 위하여 리턴던시 회로를 구비하는 메모리 장치에 있어서, 상기 리턴던시 회로의 구동제어를 위한 인에이블 신호를 생성하는 인에이블 신호 생성수단; 입력되는 어드레스를 래치하기 위한 어드레스 래치수단; 서로 다른 리페어 어드레스를 각각 저장하고, 상기 어드레스 래치수단에 래치된 어드레스가 상기 저장된 리페어 어드레스와 동일한 경우에 리페어 신호를 활성화시켜 출력하는 다수의 리페어 어드레스 비교부; 상기 어드레스 래치수단에 래치된 어드레스가 상기 리페어 어드레스 비교부에 입력되고 난 후부터 상기 리페어신호가 활성화되기까지의 지연시간이 모델링된 리페어 어드레스 비교모사부; 및 상기 다수의 리페어 어드레스 비교부에서 출력되는 다수의 리페어신호에 의해서 노멀회로 또는 상기 리턴던시 회로가 구동되도록 제어하되, 상기 리페어 어드레스 비교모사부를 통과한 상기 인에이블 신호에 응답하여 인에이블되는 리페어회로 제어부를 구비하는 반도체 메모리 장치를 제공한다.

<91> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<92> 도12는 본 발명의 바람직한 실시예에 따른 메모리 장치의 리턴던시 회로를 나타내는 블록구성도이다.

<93> 도12를 참조하여 살펴보면, 본 실시예에 따른 메모리 장치는 리턴던시 회로의 구동제어를 위한 인에이블 신호(rae\_fuse)를 생성하는 뱅크제어부(500)와, 입력되는 어드레스(eat<

0:M-1>)를 래치하기 위한 어드레스 래치부(400)와, 서로 다른 리페어 어드레스를 각각 저장하고, 어드레스 래치부(400)에 래치된 어드레스가 상기 저장된 리페어 어드레스와 동일한 경우에 리페어 신호(hitz<0:n>)를 활성화시켜 출력하는 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)와, 어드레스 래치부(400)에 래치된 어드레스(raz<2:M-1>)가 리페어 어드레스 비교부(100\_1 ~ 100\_n)에 입력되고 난 후부터 리페어신호(hitz<0:n>)가 활성화되기까지의 지연시간이 모델링된 리페어 어드레스 비교모사부(700)와, 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 출력되는 다수의 리페어신호(hitz<0:n>)에 의해서 노멀회로 또는 리던던시 회로가 구동되도록 리던던시회로 인에이블신호(red\_enable)와 노멀회로 인에이블신호(normal\_enable)를 출력하되, 리페어 어드레스 비교모사부(700)를 통과한 인에이블 신호(aed\_fuse)에 응답하여 인에이블되는 리페어회로 제어부(600)를 구비한다.

<94> 또한, 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)는 뱅크제어부(500)에서 출력되는 인에이블 신호(rae\_fuse)에 응답하여 활성화되는 것을 특징으로 한다.

<95> 도13은 도12에 도시된 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)중에서 하나를 나타내는 블럭구성도이다.

<96> 도13을 참조하여 살펴보면, 하나의 리페어 어드레스 비교부(100\_1)는 구비된 인에이블 퓨즈의 블로잉여부에 따라서 인에이블 신호(rae\_fuse)를 입력받아 퓨즈인에이블 신호(fuse\_enable)를 활성화시켜 출력하는 퓨즈 인에이블부(110\_1)와, 어드레스 래치부(400)에 래치된 어드레스중의 한 비트의 단위 어드레스(예를 들어 raz<2>)와, 저장된 한 비트의 단위 리페어 어드레스를 각각 비교하는 다수의 단위 리페어 어드레스 비교부(110\_1 ~ 110\_m-1)와, 퓨즈인에이블 신호(fuse\_enable)에 인에이블되어 다수의 단위 리페어 어드레스 비교부(110\_1 ~

110\_m-1)에서 비교한 결과에 따라 리페어신호(hitz<0:n>)를 출력하는 신호조합부(120)를 구비한다.

<97> 도14는 도13에 도시된 퓨즈인에이블부의 제1 일실시예를 나타내는 회로도이다.

<98> 도14를 참조하여 살펴보면, 퓨즈 인에이블부(100\_1a)는 게이트로 퓨즈리셋신호(fuse\_reset)를 입력받고, 전원전압에 일측이 접속된 모스트랜지스터(MP3)와, 게이트로 퓨즈리셋신호(fuse\_reset)를 입력받고, 접지전압(VSS)에 일측이 접속된 모스트랜지스터(MN5)와, 모스트랜지스터(MP3)의 타측과 모스트랜지스터(MN5)의 타측에 접속된 인에이블 퓨즈(fen)와, 모스트랜지스터(MN5)의 타측에 입력단이 접속된 인버터(I22)와, 인버터(I22)의 입력단과 접지전압(VSS)을 연결하며 인버터(I22)의 출력단에 게이트가 연결된 모스트랜지스터(MN6)와, 인버터(I22)의 출력에 입력이 접속된 인버터(I23)와, 인버터(I22, I23)의 출력에 의해 제어되며, 인에이블 퓨즈(fen)가 블로잉되는 경우에 턴온되어 인에이블신호(rae\_fuse)를 입력받아 퓨즈인에이블 신호(fuse\_enable)로 출력하는 전송게이트(T5)와, 인버터(I22, I23)의 출력에 의해 제어되며, 인에이블 퓨즈(fen)가 블로잉되지 않은 경우에 턴온되어 모스트랜지스터(MN5)의 타측단에 인가되는 신호를 퓨즈인에이블 신호(fuse\_enable)로 출력하는 전송게이트(T6)를 구비한다.

<99> 또한, 퓨즈 인에이블부(110\_1a)는 단위어드레스 비교부(110\_2)에서 한비트의 어드레스신호(raz<2>)가 입력되어, 저장된 단위 리페어 어드레스와 비교될 때까지 걸리는 지연시간을 모델링하기 위한 지연시간 모델링 캐패시터를 구비하는데, 본 실시예에서는 인버터(I24)가 이에 해당된다.

<100> 도15는 도13에 도시된 단위 어드레스 비교부를 나타내는 회로도이다.

<101> 도15를 참조하여 살펴보면, 단위 리페어 어드레스 비교부(110\_2)는 게이트로 퓨즈리셋신호(fuse\_reset)를 입력받고, 전원전압(VDD)에 일측이 접속된 모스트랜지스터(MP5)와, 게이트로 퓨즈리셋신호(fuse\_reset)를 입력받고, 접지전압(VSS)에 일측이 접속된 모스트랜지스터(MN9)와, 모스트랜지스터(MN9)의 타측과 모스트랜지스터(MP5)의 타측에 접속된 어드레스 퓨즈(f)와, 모스트랜지스터(MN9)의 타측에 입력단이 접속된 인버터(I34)와, 인버터(I34)의 입력단과 접지전압(VSS)을 연결하며 인버터(I34)의 출력단에 게이트가 연결된 모스트랜지스터(MN10)와, 인버터(I34)의 출력에 입력이 접속된 인버터(I35)와, 인버터(I34, I35)의 출력에 의해 제어되며, 어드레스 퓨즈(f)가 블로잉되는 경우에 턴온되어 한 비트의 단위 어드레스(raz<2>)를 신호조합부(120)로 출력하는 전송게이트(T9)와, 인버터(I35, I34)의 출력에 의해 제어되며, 어드레스 퓨즈(f)가 블로잉되지 않은 경우에 턴온되어 한비트의 단위 어드레스 신호(raz<2>)를 반전하여 신호조합부(120)로 출력하는 전송게이트(T10)를 구비한다.

<102> 도16은 도13에 도시된 신호조합부(120)를 나타내는 회로도이다.

<103> 도16을 참조하여 살펴보면, 신호조합부(120)는 퓨즈인에이블신호(fuse\_enable) 및 다수의 단위 리페어 어드레스 비교부(110\_1~ 110\_m-1)에서 출력되는 비교신호(fuse\_compare<2> ~ <M>)를 입력받는 다수의 노어게이트(NOR22 ~ NOR 25)와, 다수의 노어게이트(NOR22 ~ NOR 25)에서 출력되는 신호를 조합하기 위한 다수의 낸드게이트(ND29, ND30)와, 다수의 낸드게이트(ND29, ND30)에서 출력되는 신호를 조합하기 위한 노어게이트(NOR16)와, 노어게이트(NOR16)의 출력을 반전하여 리페어신호(hitz<0>)를 출력하기 위한 인버터(I37)를 구비한다.

<104> 도17은 도14에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 뱅크제어부에서 인에이블 신호를 생성하는 부분을 나타내는 회로도이다.



- <105> 도17을 참조하여 살펴보면, 인에이블신호(rae\_fuse)는 제어신호(rae)가 뱅크제어부(500)에 구비된 직렬연결된 인버터(I25,I26,I27)와 낸드게이트(ND13)를 통해 일정시간 지연되어서 출력되며, 도6의 어드레스래치를 모사한 것이다.
- <106> 도18은 도14에 도시된 퓨즈인에이블를 적용할 때에 도12에 도시된 리페어 어드레스 비교모사부를 나타내는 회로도이다.
- <107> 도18을 참조하여 살펴보면, 리페어 어드레스 비교모사부(700a)는 인에이블 신호(rae\_fuse)를 입력받으며, 다수의 단위 리페어 어드레스 비교부(110\_1 ~ 110\_m-1)에서 출력되는 비교신호(fuse\_compare<2> ~ <M>)가 노어게이트(NOR22)에 의한 지연되는 시간을 모사한 노어게이트(NOR11)와, 노어게이트(NOR11)의 출력을 입력받으며, 다수의 단위 리페어 어드레스 비교부(110\_1 ~ 110\_m-1)에서 출력되는 비교신호(fuse\_compare<2> ~ <M>)가 낸드게이트(ND29)에 의한 지연되는 시간을 모사한 낸드게이트(ND15)와, 낸드게이트(ND15)의 출력을 입력받으며, 다수의 단위 리페어 어드레스 비교부(110\_1 ~ 110\_m-1)에서 출력되는 비교신호(fuse\_compare<2> ~ <M>)가 노어게이트(NOR16)에 의한 지연되는 시간을 모사한 노어게이트(NOR11)를 구비한다.
- <108> 또한, 도18에 도시된 리페어 어드레스 비교모사부(700a)는 노어게이트(NOr11)에서 출력되는 신호의 위상과 레벨이, 리페어 어드레스 비교부(100\_1)에서 출력되어 리페어회로 제어부(600)로 출력되는 리페어 신호(hitz<0>)의 위상과 레벨과 같도록 조정하는 출력제어부(700\_1)를 더 구비한다.
- <109> 도19는 도13에 도시된 퓨즈인에이블부의 제2 실시예를 나타내는 회로도이다.

- <110> 도19를 참조하여 살펴보면, 제2 실시예에 따른 퓨즈 인에이블부(700b)는 게이트로 퓨즈 리셋신호(fuse\_reset)를 입력받고, 전원전압(VDD)에 일측이 접속된 모스트랜지스터(MP4)와, 게이트로 퓨즈리셋신호(fuse\_reset)를 입력받고, 접지전압(VSS)에 일측이 접속된 모스트랜지스터(MN7)와, 모스트랜지스터(MN7)의 타측과 모스트랜지스터(MP4)의 타측에 접속된 인에이블 퓨즈(fen)와, 모스트랜지스터(MN7)의 타측에 입력단이 접속된 인버터(I28)와, 인버터(I28)의 입력단과 접지전압(VSS)을 연결하며 인버터(I28)의 출력단에 게이트가 연결된 모스트랜지스터(MN8)와, 인에이블 신호(rae\_fuse)와 인버터(I28)의 출력을 입력받아서 퓨즈인에이블 신호(fuse\_enalbe)로 출력하는 낸드게이트(ND14)를 구비한다.
- <111> 도20은 도19에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 뱅크제어부에서 인에이블 신호를 생성하는 부분을 나타내는 회로도
- <112> 도20을 참조하여 살펴보면, 인에이블신호(rae\_fuse)는 제어신호(rae)가 뱅크제어부(500)에 구비된 직렬연결된 인버터(I29,I30,I32)를 통해 일정시간 지연되어서 출력된다.
- <113> 도21은 도19에 도시된 퓨즈인에이블부를 적용할 때에 도12에 도시된 리페어 어드레스 비교모사부를 나타내는 회로도이다.
- <114> 도21을 참조하여 살펴보면, 리페어 어드레스 비교모사부(700b)는 인에이블 신호(rae\_fuse)를 입력받으며, 인에이블 신호(rae\_fuse)가 도19에 도시된 퓨즈인에이블부(110\_1b)에서 입력되는 인에이블신호(rae\_fuse)의 위상을 맞추기 위해 추가되는 인버터(I30)와, 인버터(I30)의 출력을 입력받으며, 다수의 단위 리페어 어드레스 비교부(110\_1 ~ 110\_m-1)에서 출력되는 비교신호(fuse\_compare<2> ~ <M>)가 신호조합부(160)의 노어게이트(NOR22)에 의한 지연되는 시간을 모사한 노어게이트(NOR13)와, 노어게이트(NOR13)의 출력을 입력받으며, 다수의 단위 리페어 어드레스 비교부(110\_1 ~ 110\_m-1)에서 출력되는 비교신호(fuse\_compare<2> ~ <M>)

가 낸드게이트(ND29)에 의한 지연되는 시간을 모사한 낸드게이트(ND16)와, 낸드게이트(ND16)의 출력을 입력받으며, 다수의 단위 리페어 어드레스 비교부(110\_1 ~ 110\_m-1)에서 출력되는 비교신호(fuse\_compare<2> ~ <M>)가 노어게이트(NOR16)에 의한 지연되는 시간을 모사한 노어게이트(NOR14)를 구비한다.

<115> 도21에 도시된 리페어 어드레스 비교모사부(700b)는 노어게이트(NOR14)에서 출력되는 신호의 위상과 레벨이, 리페어 어드레스 비교부(100\_1)에서 출력되어 리페어회로 제어부(600)로 출력되는 리페어 신호(hitz<0>)의 위상과 레벨과 같도록 조정하는 출력제어부(700\_2)를 더 구비한다.

<116> 도22는 도12의 리페어회로 제어부를 나타내는 회로도로서, 리페어 어드레스 비교부가 32개 구비되어 32개의 리페어신호가 출력되는 경우를 나타낸 것이다.

<117> 도22을 참조하여 살펴보면, 리페어회로 제어부(600)는 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 출력되는 다수의 리페어 신호(hitz<0>)를 입력받아 조합하고, 그 결과에 따라서 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)의 레벨을 드라이빙하는 리페어신호 조합부(610, 620)와, 리페어신호 조합부(610, 620)에서 다수의 리페어 신호(hitz<0> ~ <31>)를 입력받아 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)의 레벨을 드라이빙하기까지의 지연시간을 모델링하고, 리페어 어드레스 비교모사부(700)를 통과한 인에이블 신호(aed\_fuse)를 모델링된 지연시간 후에 출력하기 위한 리페어신호 경로 모사부(650)와, 리페어 감지 노드(hit\_sum\_up, hit\_sum\_down)의 레벨에 응답하여 리턴던시 회로를 구동시키기 위한 리턴던시회로 인에이블신호(red\_enable)를 출력하는 제1 출력부(630)와, 리페어신호 경로 모사부(650)를 통과한 인에이블 신호(aed\_fuse)에 인에이블되어, 리페어 감지 노드(hit\_sum\_up, hit\_sum\_down)의

레벨에 따라서 노멀 회로를 구동시키기 위한 노멀회로 인에이블신호(normal\_enable)를 출력하는 제2 출력부(640)를 구비한다.

<118> 리페어신호 조합부(610,620)는 다수의 리페어신호(hitz<0> ~ <31>)를 입력받는 다수의 낸드게이트(ND17 ~ ND24)와, 다수의 낸드게이트(ND17 ~ ND24)에서 출력되는 신호를 조합하기 위한 다수의 노어게이트(NOR15 ~ NOR18)와, 다수의 노어게이트(NOR15 ~ NOR18)에서 출력되는 신호를 조합하기 위한 다수의 낸드게이트(ND25,ND26)를 구비한다.

<119> 제2 출력부(640)는 리페어 감지 노드(hit\_sum\_up, hit\_sum\_down)에 인가되는 신호와 리페어신호 경로모사부(650)에서 출력되는 인에이블신호(aed\_trac)를 입력받는 노어게이트(NOR20)와, 노어게이트(NOR20)의 출력을 버퍼링하여 노멀회로 인에이블신호(normal\_enable)를 출력하는 버퍼(I32,I33)를 구비한다.

<120> 도23은 도22에 도시된 리페어신호 경로모사부를 나타내는 회로도이다.

<121> 도23을 참조하여 살펴보면, 리페어신호 경로모사부(650)는 리페어 어드레스 비교모사부(700)를 통과한 인에이블 신호(aed\_fuse)를 입력받으며, 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 출력되는 리페어 신호(hit<0> ~ <n>)가 상기 낸드게이트(ND17 ~ ND24)에 의한 지연되는 시간을 모사한 낸드게이트(ND27)와, 낸드게이트(ND27)의 출력을 입력받으며, 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 출력되는 리페어 신호(hit<0> ~ <31>)가 노어게이트(NOR15 ~ NOR18)에 의한 지연되는 시간을 모사한 노어게이트(NOR21)와, 노어게이트(NOR21)의 출력을 입력받으며, 다수의 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 출력되는 리페어신호(hitz<0> ~ hitz<n>)가 낸드게이트(ND25, ND26)에 의한 지연되는 시간을 모사한 낸드게이트(ND28)를 구비한다.

- <122> 또한, 리페어신호 경로모사부(650)는 낸드게이트(ND28)에서 출력되는 신호의 위상과 레벨이, 리페어 신호조합부(610,620)에서 리페어 감지노드(hit\_sum\_up, hit\_sum\_down)를 드라이빙하는 신호의 위상 및 레벨과 같도록 조정하기 위한 출력제어부(600\_1a)를 더 구비한다.
- <123> 도24는 도12에 도시된 메모리 장치의 동작을 나타내는 파형도이다. 이하에서는 도12 내지 도24를 참조하여 본 실시예에 따르는 메모리 장치의 동작에 대해서 살펴보면다.
- <124> 반도체 메모리 장치가 제조완료되고 나서 테스트를 하여 노멀셀중 에러가 있는 셀이 발견되면, 예비용 셀이 대체되어 액세스될 수 있도록 리페어 공정을 하게 되는데, 하나의 어드레스 경로를 대체하는데 하나의 리페어 어드레스 비교부가 사용된다.
- <125> 하나의 어드레스 경로를 대체하기 위해 다수의 리페어 어드레스 비교부(110\_1~110\_n)중 하나를 선택하고 선택된 리페어 어드레스 비교부(예를 들어 100\_1)의 퓨즈인에이블부(110\_1)에 구비된 인에이블퓨즈(fen)에 레이저를 조사하여 블로잉시킨다.
- <126> 이어서 리페어되어야 할 어드레스에 따라서 단위 어드레스 비교부(110\_2~110\_m-1)에 각각 구비되는 어드레스 퓨즈를 선택적으로 블로잉시킨다. 따라서 하나의 리페어 어드레스 비교부에 리페어된 하나의 어드레스가 저장되는 것이다. 도시된 리페어 어드레스 비교부가 32개라면 총 32개의 어드레스 경로를 리페어 할 수 있는 것이다.
- <127> 계속해서 메모리 장치의 동작시를 살펴보면, 데이터 액세스를 위해 어드레스 신호가 입력되면, 먼저 어드레스 입력버퍼(도시 안됨)에 의해서 버퍼링되어 어드레스 래치부(400)로 입력된다. 어드레스 래치부(400)는 래치된 어드레스(eat<0:M-1>)를 이용하여 뱅크제어부(500)에서 출력되는 제어신호(ae)에 응답하여 프리디코더(300)로 노멀 어드레스(baz<0:M-1>)를 출력한다.

- <128> 프리디코더(300)는 노멀 어드레스(baz<0:M-1>)를 디코딩하고, 여기서 디코딩된 신호는 메인디코더(도시안됨)로 출력되며, 메인디코더는 프리디코더(300)에서 출력되는 디코딩된 어드레스신호(add<0:M-1>)를 이용하여 디코딩을 한번 하게 되는데, 여기서 디코딩된 신호가 데이터가 액세스될 단위셀을 선택하는데 사용되는 것이다.
- <129> 한편, 어드레스 래치부(400)는 래치된 어드레스(eat<2:M-1>)를 이용하여 뱅크제어부(500)에서 출력되는 제어신호(rae)에 응답하여 다수의 리페어 어드레스 비교부(100\_1~100\_n)로 어드레스(raz<2:M-1>)를 출력한다.
- <130> 여기서 다수의 리페어 어드레스 비교부(100\_1~100\_n)로 입력되는 어드레스(raz<2:M-1>)가 래치된 어드레스(eat<0:M-1>)보다 두비트가 작은 것은 통상적으로 메모리 장치에서는 노멀 워드라인을 리던던시용 워드라인으로 대체할 때에 한번의 리페어 어드레스를 이용하여 4개의 리던던시용 워드라인으로 대체하기 때문이다.
- <131> 다수의 리페어 어드레스 비교부(100\_1~100\_n)는 입력되는 어드레스(raz<2:M-1>)를 입력받아 리페어될 어드레스인지를 판단하고, 그 결과에 따라서 리페어신호(예컨대 hitz<0>)를 출력한다.
- <132> 리페어신호(hitz<0>)가 출력되는 동작을 자세히 살펴보면, 먼저 퓨즈 인에이블부(110\_1)에서는 구비된 인에이블 퓨즈(fen)에 레이저가 조사되어 블로잉되어 있는 상태이면 퓨즈인에이블 신호(fuse\_enable)를 로우레벨로 활성화시켜 신호조합부(120)로 출력하게 된다.
- <133> 한편 본 발명에서는 도14와 도19에 도시된 바와 같이 퓨즈 인에이블부의 제1 실시예와 제2 실시예를 제시 하였는데, 먼저 제1 실시예에 따른 퓨즈 인에이블부(110\_1a)를 적용할 때의 동작을 살펴본다.

- <134> 도14에 도시된 바와 같이, 제1 실시예에 따른 단위 리페어 어드레스 비교부는 도15에 도시된 단위 리페어 어드레스 비교부와 같은 구성을 가지고 있다.
- <135> 퓨즈 인에이블부(110\_1a)에 구비된 인에이블 퓨즈(fen)가 블로잉되면 뱅크제어부(500)에서 로우레벨로 활성화되어 입력되는 인에이블 신호(rae\_fuse)는 전송게이트(T5)를 통과하여 퓨즈인에이블 신호(fuse\_enable)로 되어 신호 조합부(120)로 출력된다.
- <136> 만약 인에이블 퓨즈(fen)가 블로잉되지 않았다면, 인버터(I22)의 입력단에 인가되는 하이레벨의 신호가 퓨즈인에이블 신호(fuse\_enable)가 되어 전송게이트(T6)으로 출력될 것이다. 여기서 인버터(I24)는 인에이블신호(rae\_fuse)가 퓨즈인에이블 신호(fuse\_enable)로 생성되는데 있어서, 단위 리페어 어드레스 비교부(110\_2)에 입력되는 한 비트의 어드레스(raz<2>)가 전송게이트(T10) 전에 거치게 되는 인버터(I36)로 인한 지연시간의 영향을 같게 해주기 위한 것이다.
- <137> 따라서 퓨즈 인에이블부(110\_1)에서 인에이블 신호(rae\_fuse)를 입력받아 퓨즈인에이블 신호(fues\_enable)를 생성되는 과정과 단위 리페어 어드레스 비교부(110\_2)에서 어드레스 신호(ras<2>)를 입력받아 어드레스 비교신호(fuse\_compare<2>)로 출력하는 데의 과정은 같게 되는 것이다.
- <138> 한편, 퓨즈리셋신호(fuse\_reset)는 메모리 장치가 초기동작시 로우-하이-로우 상태를 가지는 펄스형태로 퓨즈인에이블부(110\_1)와 다수의 단위 어드레스 비교부(110\_2~110\_m-1)에 출력되는 신호이다.
- <139> 이로 인하여 인에이블 퓨즈(fen) 또는 어드레스 퓨즈(f)가 블로잉되지 않는 상태에서는 퓨즈인에이블부(110\_1a)에서는 전송게이트(T6)이 항상 턴온되어 퓨즈인에이블신호는 하이레벨

로 비활성화 되어 있게 되고, 단위 리페어 어드레스 비교부(110\_2)에서는 전송게이트(T10)가 항상 턴온되어 있어서 입력되는 어드레스신호를 반전하여 어드레스 비교신호(fuse\_comapre<2>)로 출력하게 된다.

<140> 신호조합부(120)는 종래기술에서 제시한 바와 같이 구성이 되며 그 동작도 같은데, 도16에 도시된 신호조합부는 단위 리페어 어드레스가 11개인 경우를 나타내고 있다. 퓨즈인에이블 신호(fuse\_enable)와 모든 비교신호(fuse\_compare<2>~ <12>)가 로우레벨로 활성화되면 리페어 신호(hitz<0>)를 로우레벨로 활성화시켜 리페어회로 제어부로 출력하게 된다.

<141> 도17은 도6의 어드레스래치를 모사한 것으로 뱅크제어부(500)에서 제어신호를 소정시간 지연시켜 만든 신호가 인에이블신호(rae\_fuse)인 것을 나타내고 있다. 또한 도20에 도시된 회로를 이용하여 인에이블 신호(rae\_fuse)를 생성할 수도 있다.

<142> 도18에 도시된 리페어 어드레스 비교 모사부(700a)는 제1 실시예에 따른 퓨즈인에이블 회로(110\_1a)를 리페어 어드레스 비교부에 적용할 때 사용되는 것이다.

<143> 리페어 어드레스 비교모사부(700)에서는 인에이블 신호(rae\_fuse)를 입력받아서 소정시간 지연시킨 신호(aed\_fuse)를 출력하는데, 이 신호(aed\_fuse)는 리페어 회로 제어부(600)를 인에이블시키는 역할을 한다.

<144> 리페어 어드레스 비교모사부(700)는 리페어 어드레스 비교부(100\_1)에서 어드레스(raz<2:M-1>)가 입력되어 리페어신호가 출력되는 경로를 모사하게 되는데, 특히 도18에서의 리페어 어드레스 비교모사부(700a)는 신호조합부(120)에서의 신호가 조합되는 경로를 모사한 것이다.



- <145> 따라서 리페어 어드레스 비교모사부(700)를 통과한 인에이블신호(aed\_fuse)는 리페어 어드레스 비교부에서 리페어 신호가 출력되는 타이밍에 항상 일정한 마진을 가지고 리페어 회로 제어부(600)로 입력되게 된다.
- <146> 도20은 퓨즈인에이블부의 제2 실시예에 따른 회로도이다. 도20을 참조하여 살펴보면, 퓨즈리셋신호(fuse\_reset)가 입력되고 난 후에 인에이블 퓨즈(fen)가 블로잉된 상태라면, 인버터(I28)의 출력은 하イレ벨을 유지할 것이다. 또한, 인에이블 퓨즈(fen)가 블로잉되지 않은 상태라면, 인버터(I28)의 출력은 로우레벨을 유지할 것이다.
- <147> 퓨즈인에이블부의 제2 실시예에서는 뱅크제어부(500)에서 출력되는 인에이블 신호(rae\_fuse)가 입력된 후에야 퓨즈인에이블 신호가 출력되도록 구성되어 있다.
- <148> 도21에서는 도19에 도시된 퓨즈인에이블부(110\_1b)가 적용될 때에 리페어 어드레스 비교모사부(700)의 내부회로도이다. 전체적인 구성은 도16에 도시된 신호조합부의 회로를 모사한 도18과 유사하나 여기서는 제2 실시예에 따른 퓨즈인에이블부(110\_1b)에서 인에이블 신호의 위상을 맞추기 위해 추가한 인버터(I30)이 더 구비한 점이 다르다.
- <149> 계속해서 리페어 회로 제어부(600)의 동작을 살펴보면, 각 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 출력되는 리페어신호(hitz<0> ~ <31>)중 하나라도 로우레벨로 활성화되어 입력되면, 제1 리페어 감지노드(hit\_sum\_up) 또는 제2 리페어 감지노드(hit\_sum\_down)가 하イレ벨로 활성화된다. 따라서 리턴던시회로 인에이블신호(red\_enable)는 하イレ벨로 활성화되며, 노멀회로 인에이블 신호(normal\_enable)는 로우레벨로 비활성화된다.
- <150> 리턴던시회로 인에이블신호(red\_enable)가 하イレ벨로 인에이블상태가 되면 현재 입력되어 래치된 어드레스(ras<2:M-1>)는 리페어되어야 할 어드레스이므로 이후의 데이터 액세스는

메모리 셀어레이의 노멀셀을 대체하기 위해 구비된 리던던시 회로의 예비셀에서 이루어지게 되는 것이다. 여기서 관한 동작 타이밍이 도24과 도25에 자세히 도시되어 있다.

<151> 도24는 도14에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 메모리 장치의 동작을 나타내는 파형도이고, 도25는 도19에 도시된 퓨즈인에이블부를 적용하는 경우에 도12에 도시된 메모리 장치의 동작을 나타내는 파형도이다.

<152> 한편, 각 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 출력되는 리페어신호(hitz<0> ~ <31>)가 모두 하이레벨로 비활성화되어 있는 상태로 입력이 되면, 제1 리페어 감지노드(hit\_sum\_up) 및 제2 리페어 감지노드(hit\_sum\_down)는 로우레벨로 비활성화된다.

<153> 따라서 리던던시회로 인에이블신호(red\_enable)는 로우레벨로 비활성화된다. 또한, 노멀 회로 인에이블 신호(normal\_enable)는 입력되는 인에이블 신호(aed\_fuse)가 리페어신호 경로로 사부(650)를 통과한 신호(aed\_trac)가 로우레벨로 활성화된 이후에 하이레벨로 활성화 된다. 이어서 리던던시회로 인에이블신호(red\_enable)는 로우레벨로 비활성화되며, 노멀회로 인에이블 신호(normal\_enable)는 하이레벨로 활성화된다.

<154> 이 때 리페어신호 경로 모사부(650)는 도23에도 도시하였듯이, 리페어신호(hitz<0>)가 리페어신호조합부(610,620)에 의해 지연되는 시간을 모사하였기 때문에, 항상 리페어 감지노드((hit\_sum\_up, hit\_sum\_down)의 변화되는 시점과 리페어신호 경로 모사부(650)의 출력신호(aed\_trac)가 출력되는 타이밍은 항상 일정하다.

<155> 리던던시회로 인에이블신호(red\_enable)가 로우레벨로 디스에이블상태가 되고, 노멀회로 인에이블신호(normal\_enable)는 하이레벨로 인에이블상태가 되면, 현재 입력되어 래치된 어드

레스( $ras<2:M-1>$ )는 리페어되지 않은 어드레스이므로 데이터 액세스는 메모리 셀어레이에 노멀 셀을 액세스하게 된다.

<156> 따라서 본 발명의 리페어 어드레스 비교부(100\_1 ~ 100\_n)는 뱅크제어부(500)에서 출력되는 인에이블신호( $rae\_fuse$ )에 응답하여 리페어신호( $aed\_fuse$ )를 리페어회로 제어부(600)로 출력된다.

<157> 또한, 뱅크제어부(500)에서 출력되는 인에이블 신호( $rae\_fuse$ )를 리페어 어드레스 비교부(100\_1 ~ 100\_n)를 모사한 리페어 어드레스 비교모사부(700)를 통과시킨 신호( $aed\_fuse$ )는 리페어신호( $hit<0>$ )가 출력되는 타이밍과 항상 일정한 마진을 가지고 리페어회로 제어부(600)로 출력된다.

<158> 또한, 리페어회로 제어부(600)에서는 다수 입력되는 리페어신호( $hitz<0> \sim <31>$ )에 의해 리페어 감지노드( $(hit\_sum\_up, hit\_sum\_down)$ )가 변화함으로써 활성화되는 노멀회로 인에이블신호( $normal\_enable$ )는 인에이블신호( $aed\_fuse$ )가 리페어신호 경로 모사부(650)를 통과한 신호에 응답하여 출력됨으로서 항상 인에이블신호( $aed\_fuse$ )와 노멀회로 인에이블신호( $normal\_enable$ )의 활성화 마진은 일정하게 된다.

<159> 따라서 본 발명에 의해서 메모리 장치에 어드레스가 입력되고, 입력된 어드레스가 리페어된 어드레스인지 노말어드레스인지 판단하여, 리턴던시 회로 또는 노멀 회로를 항상 일정한 타이밍에 구동할 수 있다.

<160> 또한 본 발명에서는 인에이블 신호( $rae\_fuse$ )에 응답하여 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 래치된 어드레스( $raz<2:M-1>$ )를 입력받아 비교하기 때문에, 뱅크제어부(500)에서 인에이블 신호( $rae\_fuse$ )를 활성화시키기 전까지는 리페어 회로 제어부(600)에 활성화된 리

페어신호(hitz<0> ~ <n-1>)가 입력되는 경우는 없게 된다. 이로 인하여 리페어 어드레스 비교부(100\_1 ~ 100\_n)에서 어드레스를 비교하는 동작의 마진을 줄일 수 있어 리페어 회로부의 동작속도를 개선시킬 수 있게 된다.

<161> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<162> 본 발명에 의해서 메모리 장치에서 입력되는 어드레스가 리페어된 어드레스인지를 판단하여 리던던시회로 또는 노멀회로를 동작시키는 데 있어서, 일정한 동작 마진을 유지시킬 수 있어서, 메모리 장치의 동작상의 신뢰성을 향상시킬 수 있다.

<163> 또한, 입력되는 어드레스를 리페어된 어드레스와 비교하는데 필요한 마진을 줄일 수 있어, 리페어 회로부가 동작되는 타이밍을 줄일 수 있게 되고, 이로 인하여 전체적으로 메모리 장치의 동작속도를 개선시킬 수 있다.

**【특허청구범위】****【청구항 1】**

리턴던시 회로를 구비하는 메모리 장치에 있어서,

상기 리턴던시 회로의 구동제어를 위한 인에이블 신호를 생성하는 인에이블 신호 생성 수단;

입력되는 어드레스를 래치하기 위한 어드레스 래치수단;

서로 다른 리페어 어드레스를 각각 저장하고, 상기 어드레스 래치수단에 래치된 어드레스가 상기 저장된 리페어 어드레스와 동일한 경우에 리페어 신호를 활성화시켜 출력하는 다수의 리페어 어드레스 비교부;

상기 어드레스 래치수단에 래치된 어드레스가 상기 리페어 어드레스 비교부에 입력되고 난 후부터 상기 리페어신호가 활성화되기까지의 지연시간이 모델링된 리페어 어드레스 비교모사부; 및

상기 다수의 리페어 어드레스 비교부에서 출력되는 다수의 리페어신호에 의해서 노멀회로 또는 상기 리턴던시 회로가 구동되도록 제어하되, 상기 리페어 어드레스 비교모사부를 통과한 상기 인에이블 신호에 응답하여 인에이블되는 리페어회로 제어부

를 구비하는 반도체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 리페어 어드레스 비교부는

상기 인에이블 신호에 응답하여 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 리페어 어드레스 비교부는

구비된 인에이블 퓨즈의 블로잉여부에 따라서 상기 인에이블 신호를 입력받아 퓨즈인에 이블 신호를 활성화시켜 출력하는 퓨즈 인에이블부;

상기 어드레스 래치수단에 래치된 어드레스중의 한 비트의 단위 어드레스와, 저장된 한 비트의 단위 리페어 어드레스를 각각 비교하는 다수의 단위 리페어 어드레스 비교부; 및

상기 퓨즈인에이블 신호에 인에이블되어 상기 다수의 단위 리페어 어드레스 비교부에서 비교한 결과에 따라 상기 리페어신호를 출력하는 신호조합부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 퓨즈 인에이블부는

게이트로 퓨즈리셋신호를 입력받고, 전원전압에 일측이 접속된 제1 모스트랜지스터;

게이트로 상기 퓨즈리셋신호를 입력받고, 접지전압에 일측이 접속된 제2 모스트랜지스터;

상기 제1 모스트랜지스터의 타측과 상기 제2 모스트랜지스터의 타측에 접속된 인에이블 퓨즈;

상기 제2 모스트랜지스터의 타측에 입력단이 접속된 제1 인버터;

상기 인버터의 입력단과 상기 접지전압을 연결하며 상기 인버터의 출력단에 게이트가 연결된 제3 모스트랜지스터;

상기 제1 인버터의 출력에 입력이 접속된 제2 인버터;

상기 제1 및 제2 인버터의 출력에 의해 제어되며, 상기 인에이블 퓨즈가 블로잉되는 경우에 턴온되어 상기 인에이블신호를 입력받아 상기 퓨즈인에이블 신호로 출력하는 제1 전송게이트; 및

상기 제1 및 제2 인버터의 출력에 의해 제어되며, 상기 인에이블 퓨즈가 블로잉되지 않은 경우에 턴온되어 상기 제2 모스트랜지스터의 타측단에 인가되는 신호를 상기 퓨즈인에이블 신호로 출력하는 제2 전송게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 5】

제 4 항에 있어서,

상기 퓨즈 인에이블부는

상기 단위어드레스 비교부에서 상기 한비트의 어드레스신호가 입력되어, 상기 저장된 단위 리페어 어드레스와 비교될 때까지 걸리는 지연시간을 모델링하기 위한 지연시간 모델링 캐패시터를 상기 제1 전송게이트의 입력노드와 상기 접지전압사이에 더 구비하는 것을 특징으로

하는 반도체 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 단위 리페어 어드레스 비교부는

게이트로 상기 퓨즈리셋신호를 입력받고, 상기 전원전압에 일측이 접속된 제4 모스트랜지스터;

게이트로 상기 퓨즈리셋신호를 입력받고, 접지전압에 일측이 접속된 제5 모스트랜지스터;

상기 제4 모스트랜지스터의 타측과 상기 제5 모스트랜지스터의 타측에 접속된 어드레스 퓨즈;

상기 제5 모스트랜지스터의 타측에 입력단이 접속된 제3 인버터;

상기 제3 인버터의 입력단과 상기 접지전압을 연결하며 상기 제3 인버터의 출력단에 게이트가 연결된 제6 모스트랜지스터;

상기 제3 인버터의 출력에 입력이 접속된 제4 인버터;

상기 제3 및 제4 인버터의 출력에 의해 제어되며, 상기 어드레스 퓨즈가 블로잉되는 경우에 턴온되어 상기 한비트의 단위 어드레스를 상기 신호조합부로 출력하는 제3 전송게이트; 및

상기 제3 및 제4 인버터의 출력에 의해 제어되며, 상기 어드레스 퓨즈가 블로잉되지 않은 경우에 턴온되어 상기 단위 어드레스 신호를 반전하여 상기 신호조합부로 출력하는 제4 전



송게이트를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 신호조합부는

상기 퓨즈인에이블신호 및 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교신호를 입력받는 다수의 제1 노어게이트;

상기 다수의 제1 노어게이트에서 출력되는 신호를 조합하기 위한 다수의 제1 낸드게이트;

상기 다수의 제1 낸드게이트에서 출력되는 신호를 조합하기 위한 제2 노어게이트; 및

상기 제2 노어게이트의 출력을 반전하여 상기 리페어신호를 출력하기 위한 제5 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 리페어 어드레스 비교모사부는

상기 인에이블 신호를 입력받으며, 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교신호가 상기 제1 노어게이트에 의한 지연되는 시간을 모사한 제3 노어게이트;

상기 제3 노어게이트의 출력을 입력받으며, 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교신호가 상기 제1 낸드게이트에 의한 지연되는 시간을 모사한 제2 낸드게이트; 및

상기 제2 낸드게이트의 출력을 입력받으며, 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교신호가 상기 제2 노어게이트에 의한 지연되는 시간을 모사한 제4 노어게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 9】

제 8 항에 있어서,

상기 리페어 어드레스 비교모사부는

상기 제4 노어게이트에서 출력되는 신호의 위상과 레벨이, 상기 리페어 어드레스 비교부에서 출력되어 상기 리페어회로 제어부로 출력되는 리페어 신호의 위상과 레벨과 같도록 조정하는 출력제어부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 10】

제 3 항에 있어서,

상기 퓨즈 인에이블부는

게이트로 퓨즈리셋신호를 입력받고, 전원전압에 일측이 접속된 제1 모스트랜지스터;

게이트로 상기 퓨즈리셋신호를 입력받고, 접지전압에 일측이 접속된 제2

모스트랜지스터;

상기 제1 MOST랜지스터의 타측과 상기 제2 MOST랜지스터의 타측에 접속된 인에이블 퓨즈;

상기 제2 MOST랜지스터의 타측에 입력단이 접속된 제1 인버터;

상기 제1 인버터의 입력단과 상기 접지전압을 연결하며 상기 제1 인버터의 출력단에 게이트가 연결된 제3 MOST랜지스터; 및

상기 인에이블 신호와 상기 제1 인버터의 출력을 입력받아서 상기 퓨즈인에이블 신호로 출력하는 제1 낸드게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 11】

제 10 항에 있어서,

상기 신호조합부는

상기 퓨즈인에이블신호 및 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교 신호를 입력받는 다수의 제1 노어게이트;

상기 다수의 제1 노어게이트에서 출력되는 신호를 조합하기 위한 다수의 제2 낸드게이트;

상기 다수의 제2 낸드게이트에서 출력되는 신호를 조합하기 위한 제2 노어게이트; 및

상기 제2 노어게이트의 출력을 반전하여 상기 리페어신호로 출력하기 위한 제2 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 12】**

제 11 항에 있어서,

상기 리페어 어드레스 비교모사부는

상기 인에이블 신호를 입력받는 제3 인버터;

상기 제3 인버터의 출력을 입력받으며, 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교신호가 상기 제1 노어게이트에 의한 지연되는 시간을 모사한 제3 노어게이트;

상기 제3 노어게이트의 출력을 입력받으며, 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교신호가 상기 제2 낸드게이트에 의한 지연되는 시간을 모사한 제3 낸드게이트;  
및

상기 제3 낸드게이트의 출력을 입력받으며, 상기 다수의 단위 리페어 어드레스 비교부에서 출력되는 비교신호가 상기 제2 노어게이트에 의한 지연되는 시간을 모사한 제4 노어게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 13】**

제 12 항에 있어서,

상기 리페어 어드레스 비교모사부는

상기 제4 노어게이트에서 출력되는 신호의 위상과 레벨이, 상기 리페어 어드레스 비교부에서 출력되어 상기 리페어회로 제어부로 출력되는 리페어 신호의 위상과 레벨과 같도록 조정하는 출력제어부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 【청구항 14】

제 1 항에 있어서,

상기 리페어회로 제어부는

상기 다수의 리페어 어드레스 비교부에서 출력되는 다수의 리페어 신호를 입력받아 조합하고, 그 결과에 따라서 리페어 감지노드의 레벨을 드라이빙하는 리페어신호 조합부;

상기 리페어신호 조합부에서 상기 다수의 리페어 신호를 입력받아 상기 리페어 감지노드의 레벨을 드라이빙하기까지의 지연시간을 모델링하고, 상기 리페어 어드레스 비교모사부를 통과한 상기 인에이블 신호를 상기 모델링된 지연시간 후에 출력하기 위한 리페어신호 경로 모사부;

상기 리페어 감지 노드의 레벨에 응답하여 상기 리턴던시 회로를 구동시키기 위한 리턴던시회로 인에이블신호를 출력하는 제1 출력부; 및

상기 리페어신호 경로 모사부를 통과한 상기 인에이블 신호에 인에이블되어, 상기 리페어 감지 노드의 레벨에 따라서 상기 노멀 회로를 구동시키기 위한 노멀회로 인에이블신호를 출력하는 제2 출력부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 【청구항 15】

제 14 항에 있어서,

상기 리페어신호 조합부는

상기 다수의 리페어신호를 입력받는 다수의 제1 낸드게이트;

상기 다수의 제1 낸드게이트에서 출력되는 신호를 조합하기 위한 다수의 제1 노어게이트; 및

상기 다수의 제2 노어게이트에서 출력되는 신호를 조합하기 위한 다수의 제2 낸드게이트를 구비하는 제2 낸드게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 16】

제 15 항에 있어서,

상기 리페어신호 경로모사부는

상기 리페어 어드레스 비교 모사부를 통과한 상기 인에이블 신호를 입력받으며, 상기 다수의 리페어 어드레스 비교부에서 출력되는 리페어 신호가 상기 제1 낸드게이트에 의한 지연되는 시간을 모사한 제2 낸드게이트;

상기 제2 낸드게이트의 출력을 입력받으며, 상기 다수의 리페어 어드레스 비교부에서 출력되는 리페어 신호가 상기 제1 노어게이트에 의한 지연되는 시간을 모사한 제2 노어게이트; 및

상기 제2 노어게이트의 출력을 입력받으며, 상기 다수의 리페어 어드레스 비교부에서 출력되는 리페어신호가 상기 제2 낸드게이트에 의한 지연되는 시간을 모사한 제4 낸드게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 17】

제 16 항에 있어서,

상기 리페어신호 경로모사부는

상기 제4 낸드게이트에서 출력되는 신호의 위상과 레벨이, 상기 리페어 신호조합부에서 상기 리페어 감지노드를 드라이빙하는 신호의 위상 및 레벨과 같도록 조정하기 위한 출력제어부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 18】

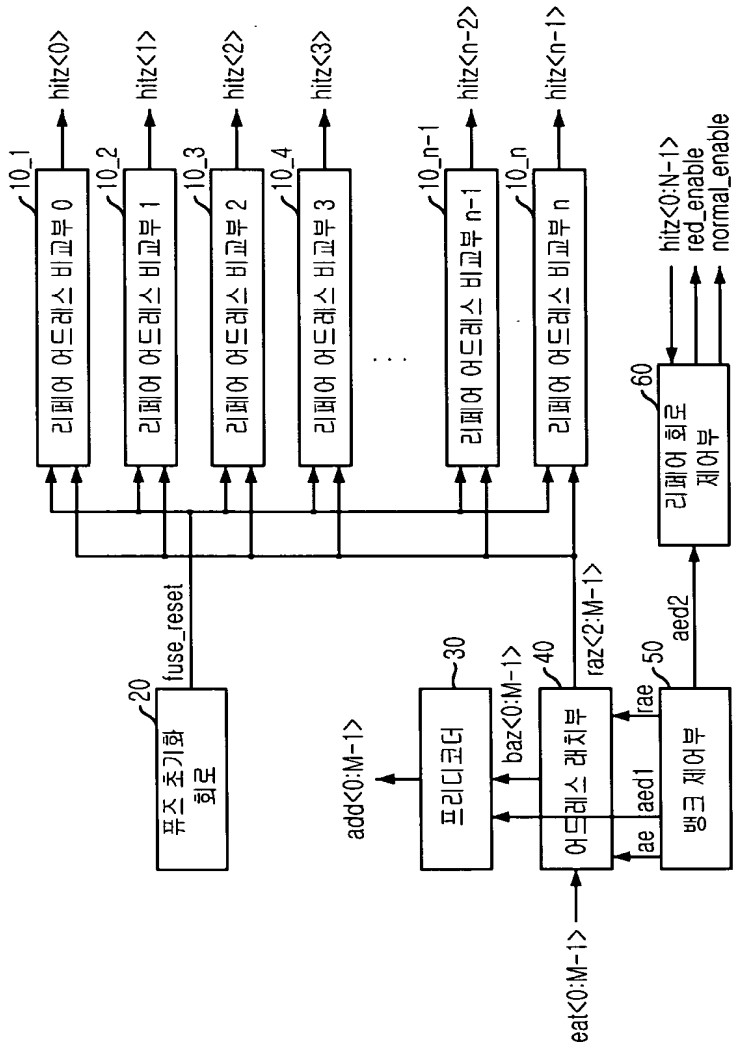
제 17 항에 있어서,

상기 리페어회로 제어부의 제2 출력부는 상기 리페어 감지 노드에 인가되는 신호와 상기 리페어신호 경로모사부에서 출력되는 인에이블신호를 입력받는 제5 노어게이트; 및

상기 제5 노어게이트의 출력을 버퍼링하여 상기 노멀회로 인에이블신호를 출력하는 버퍼를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

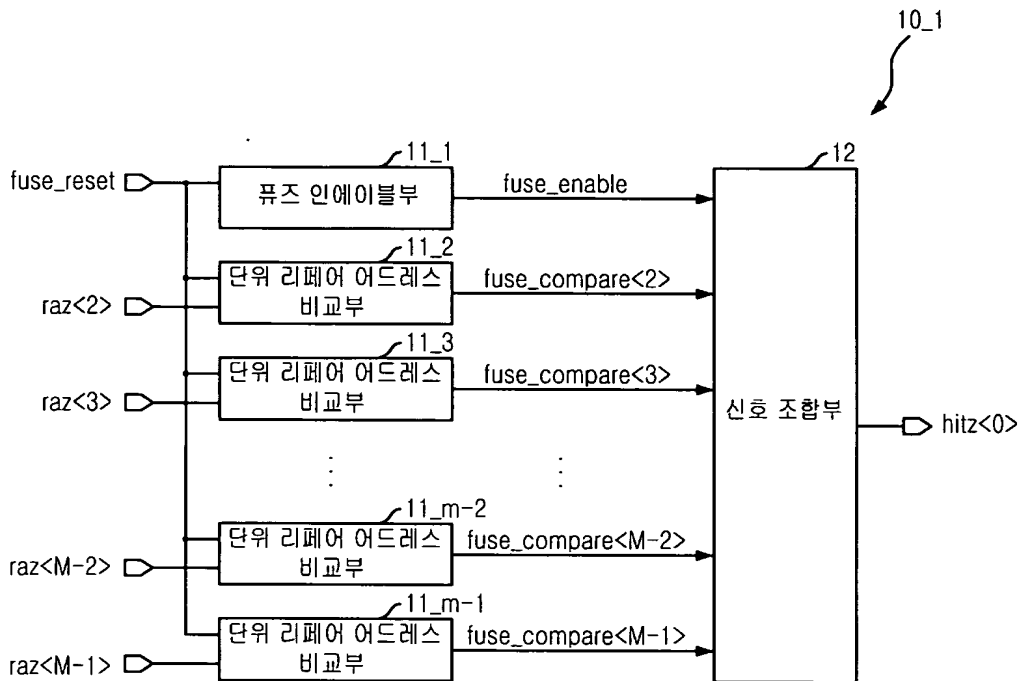
【도면】

【도 1】

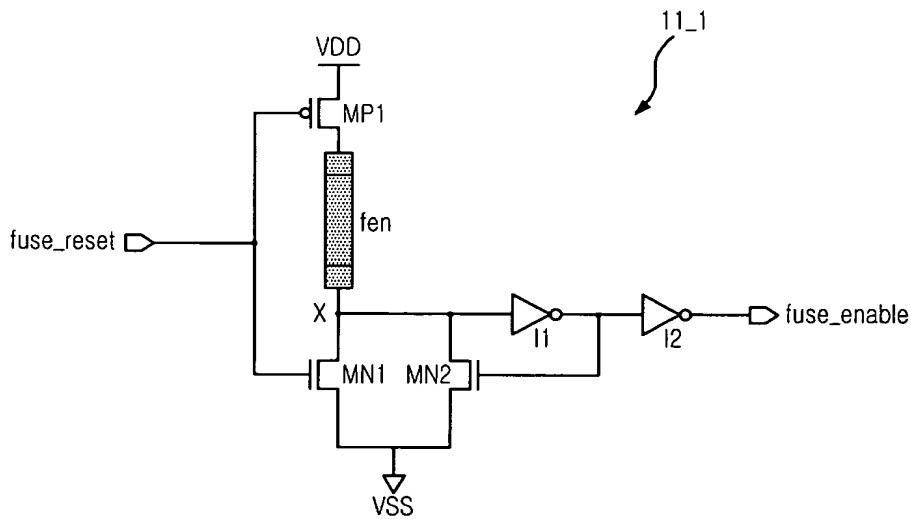




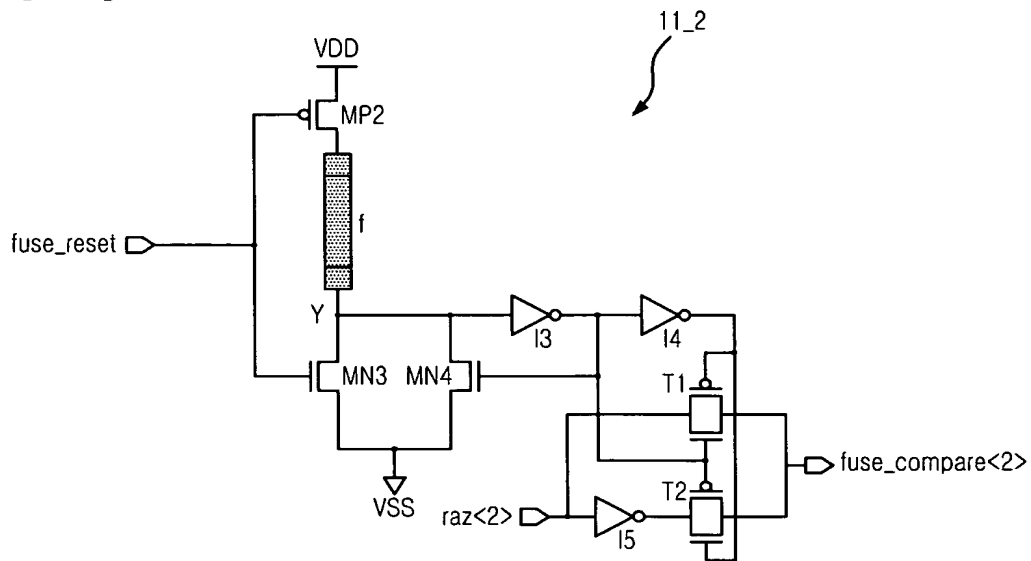
【도 2】



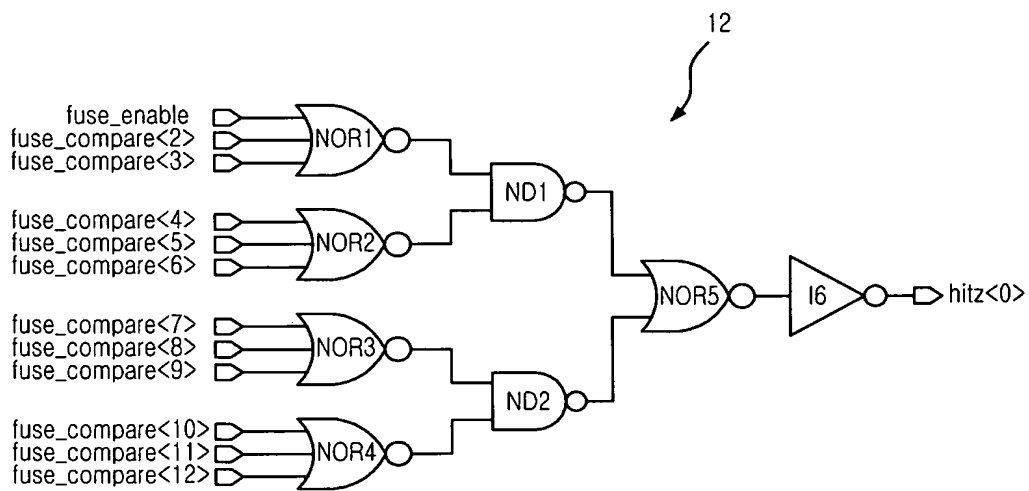
【도 3】



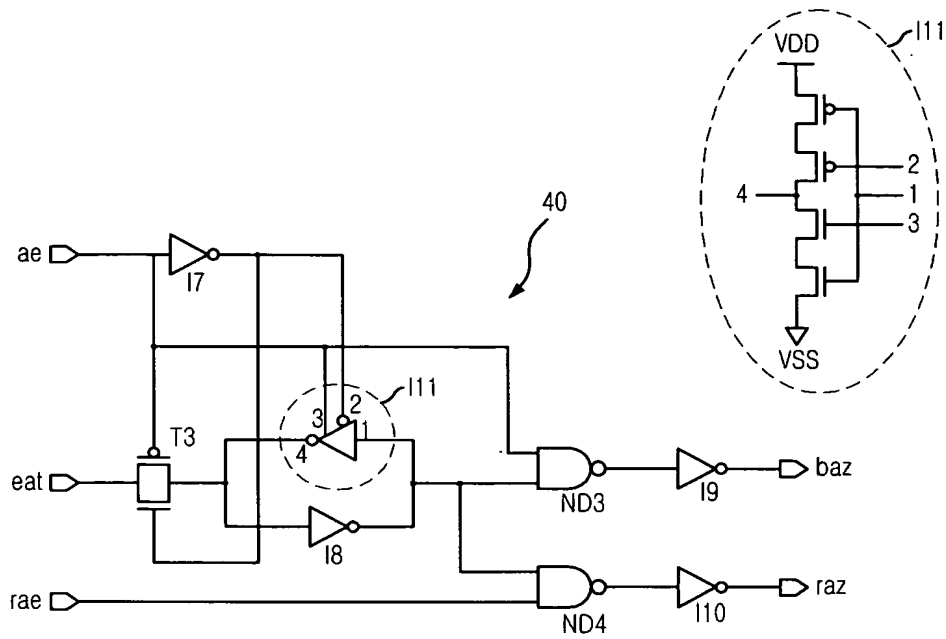
【도 4】



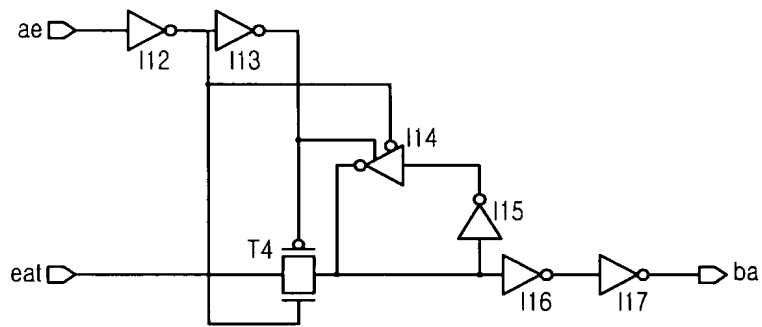
【도 5】



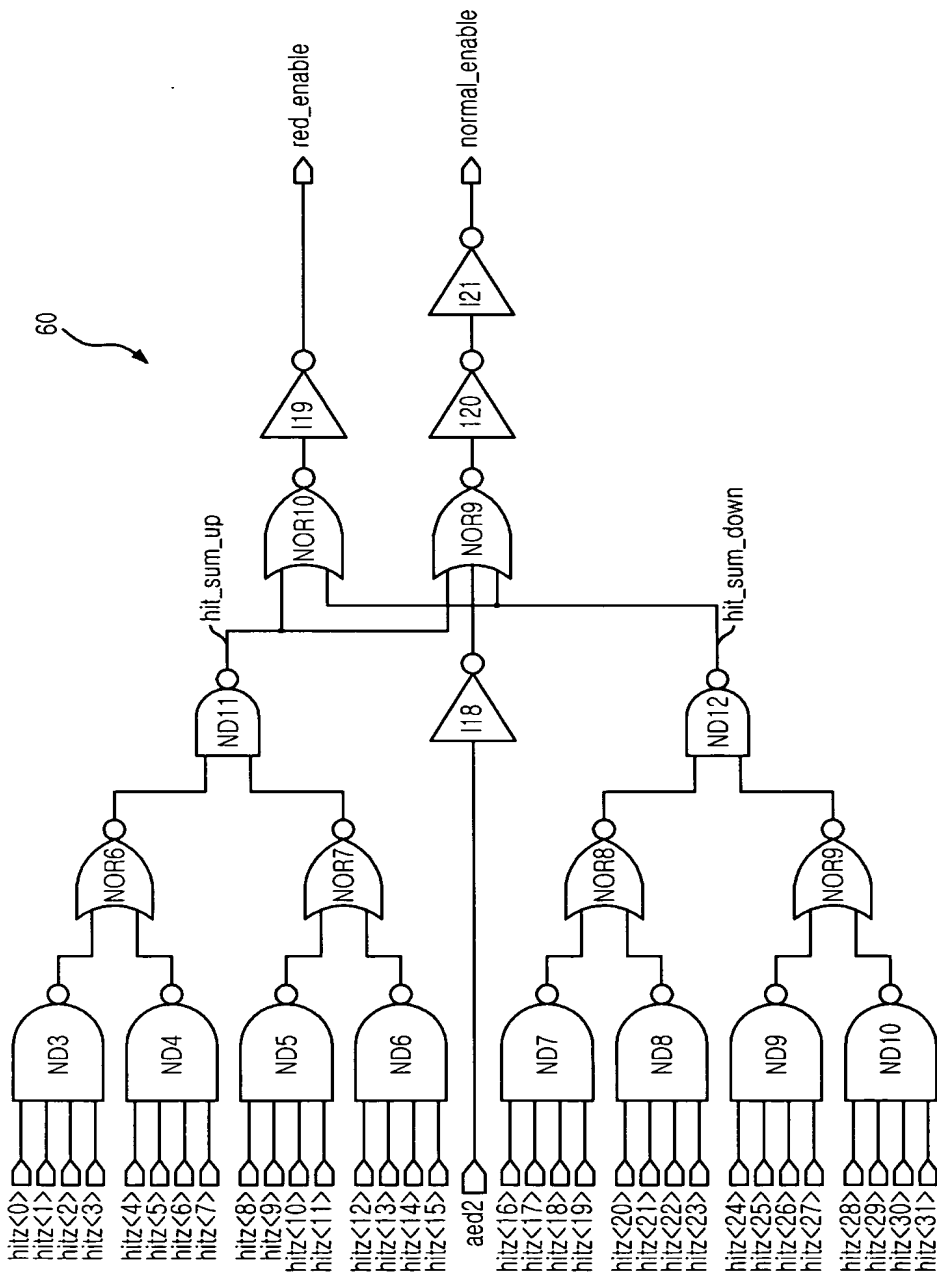
【도 6】



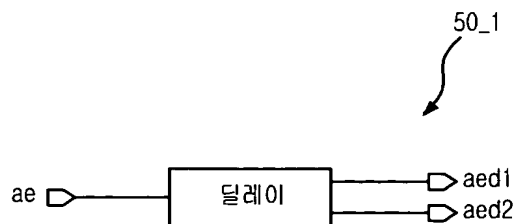
【도 7】



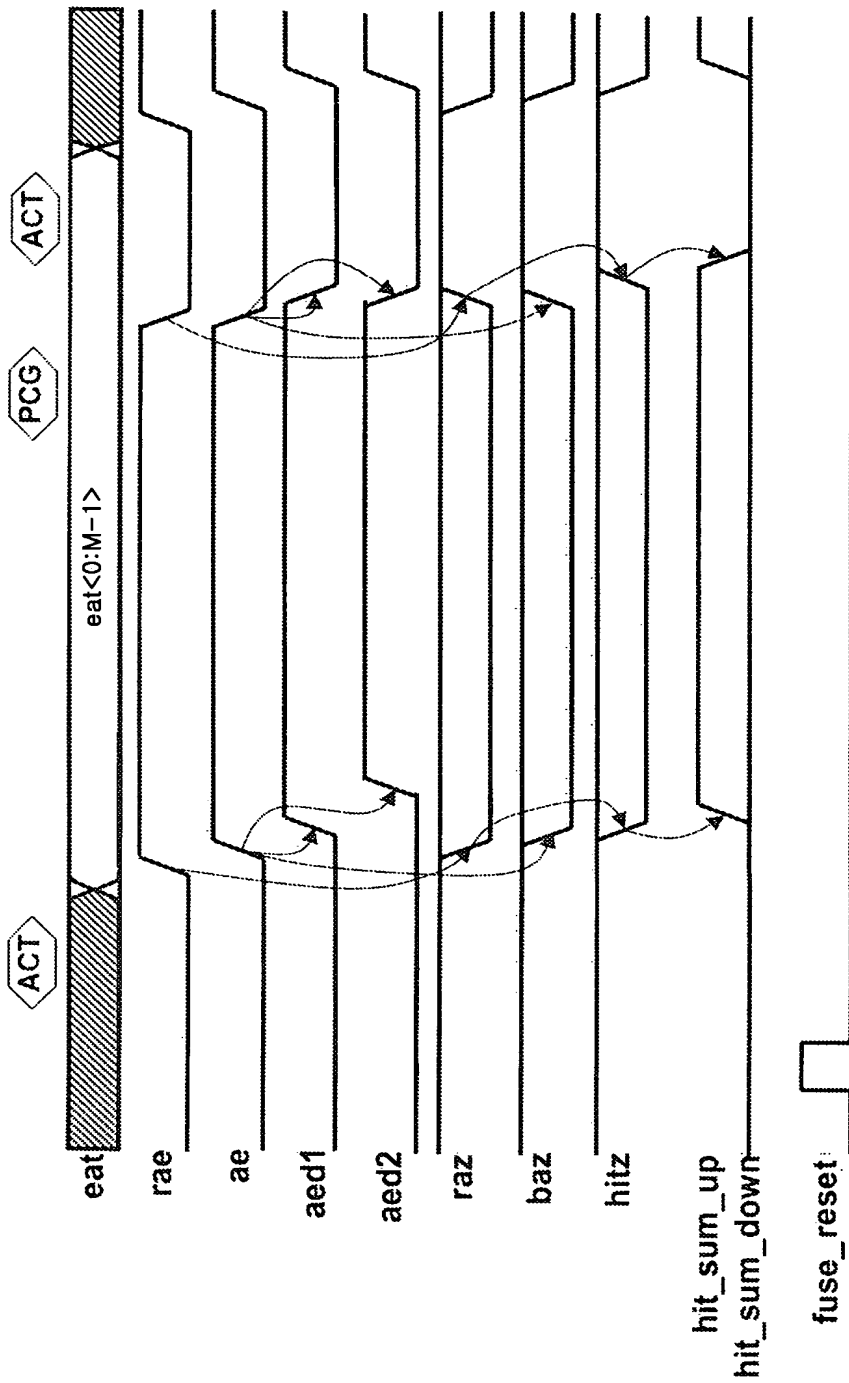
【도 8】



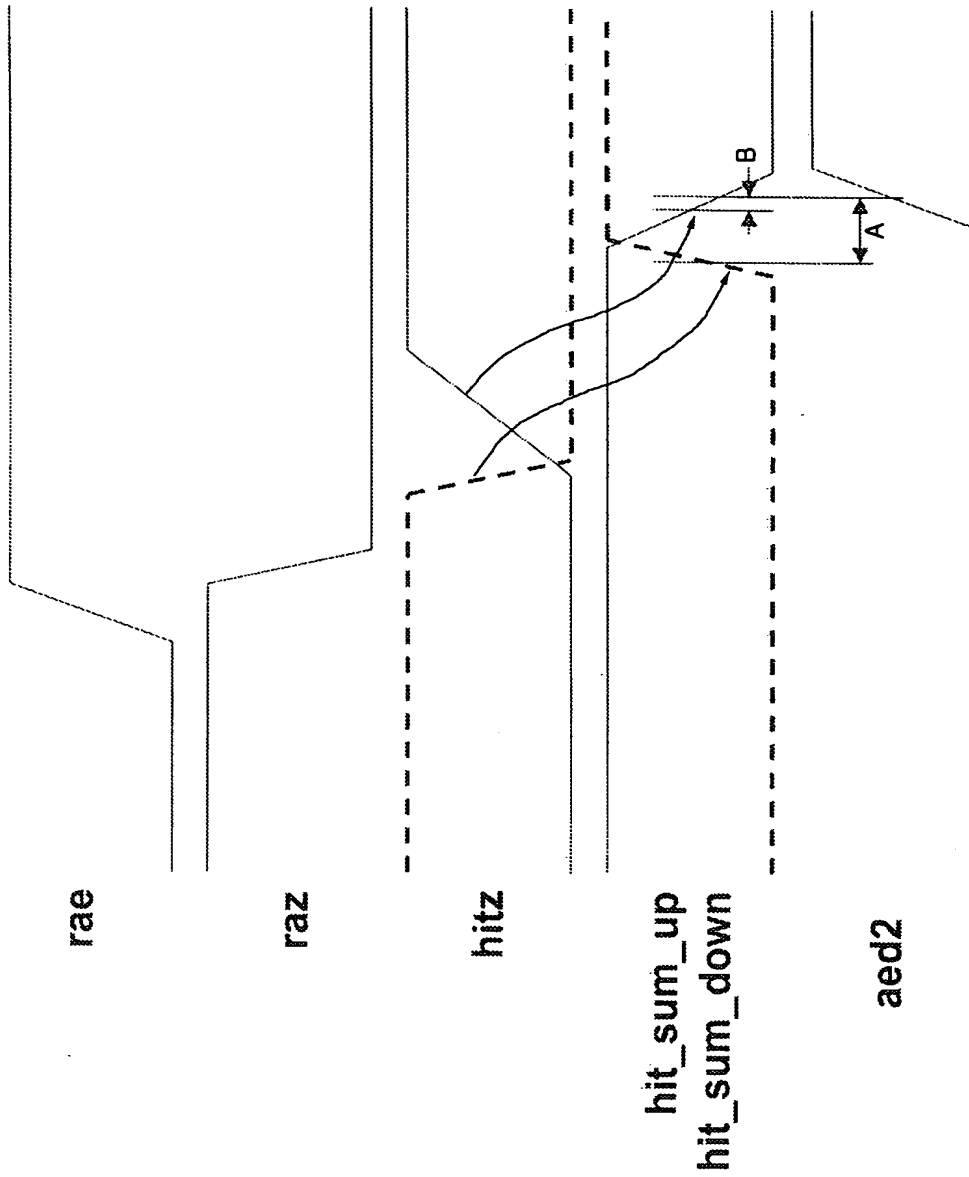
【도 9】



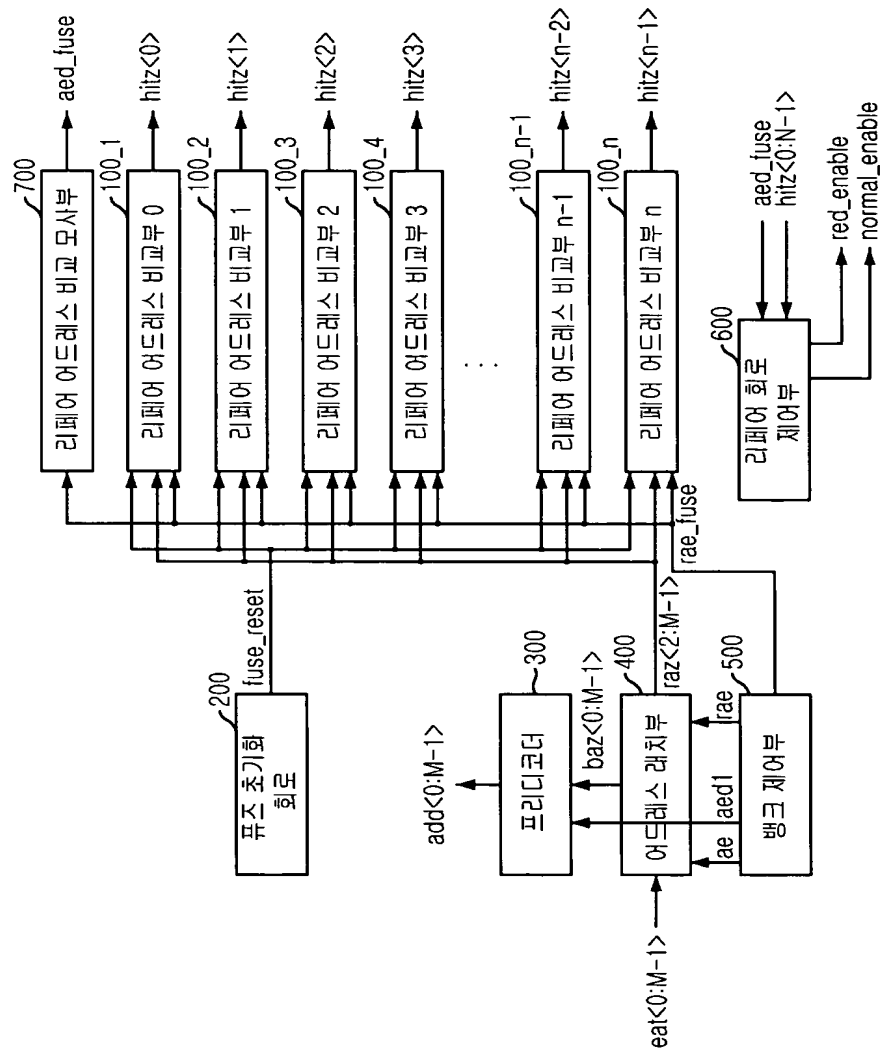
【도 10】



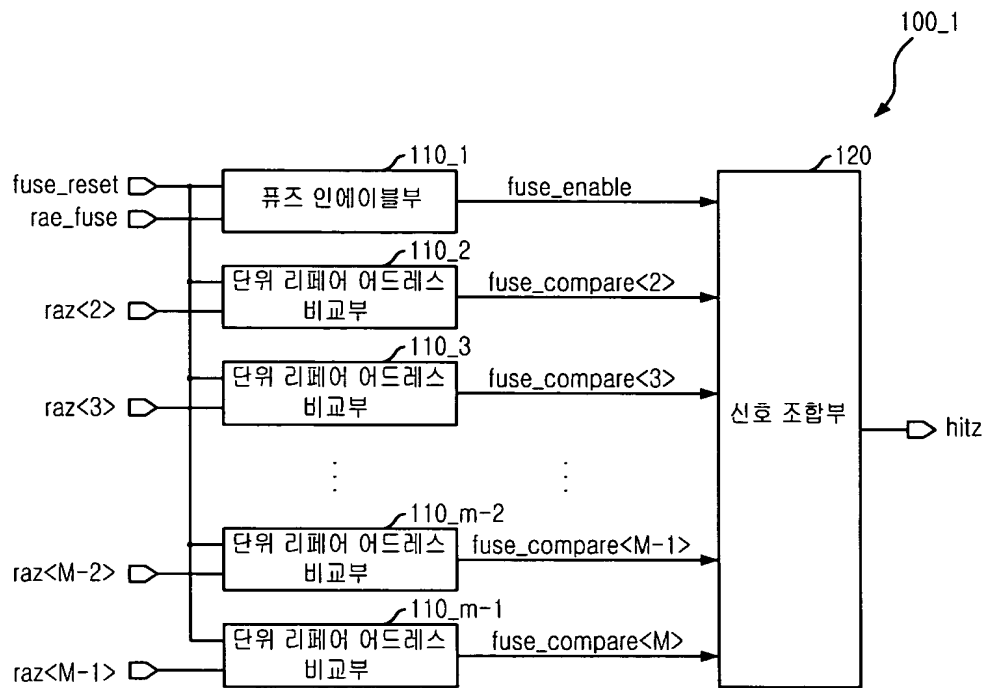
【도 11】



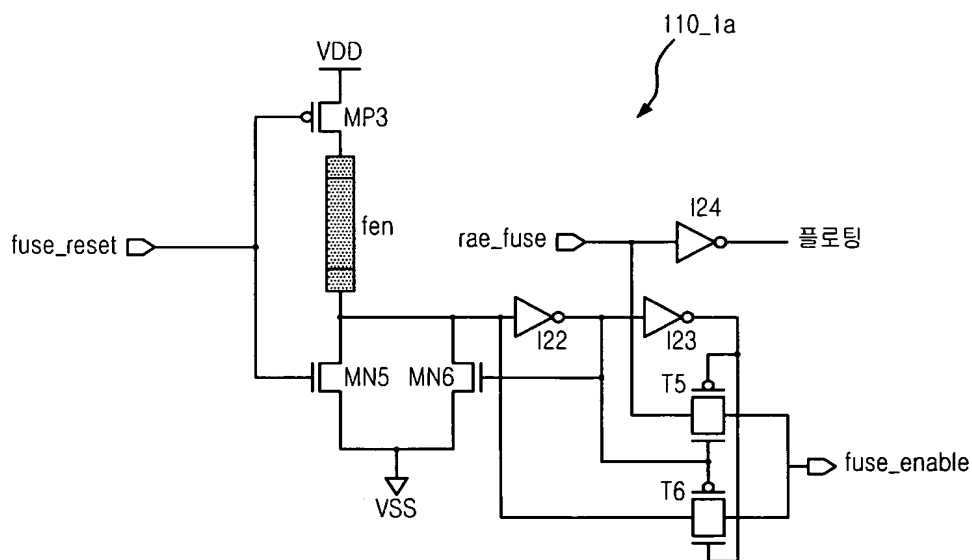
【도 12】



【도 13】

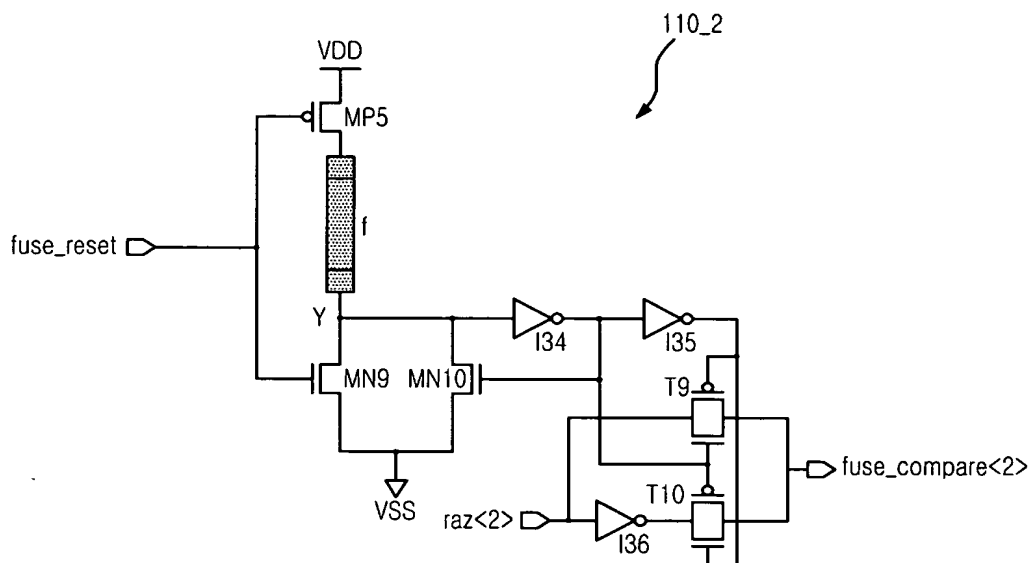


【도 14】

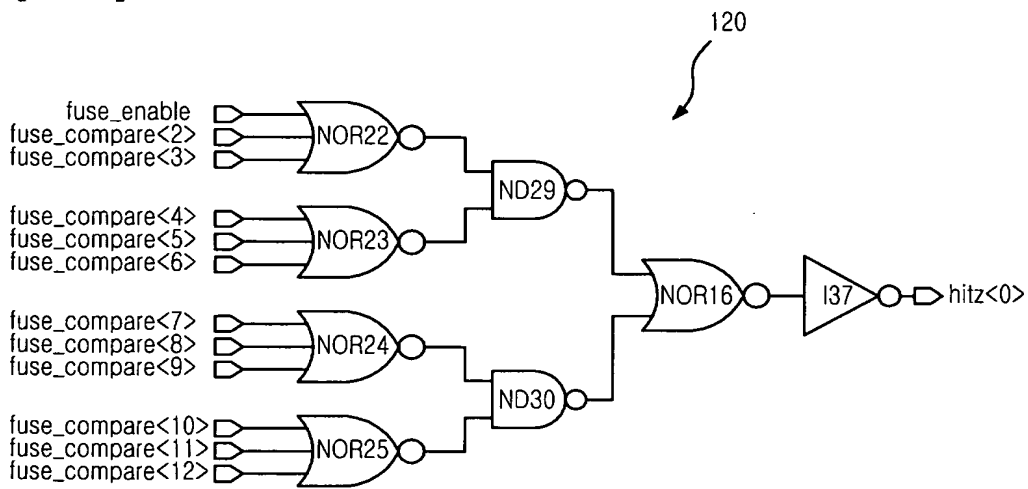




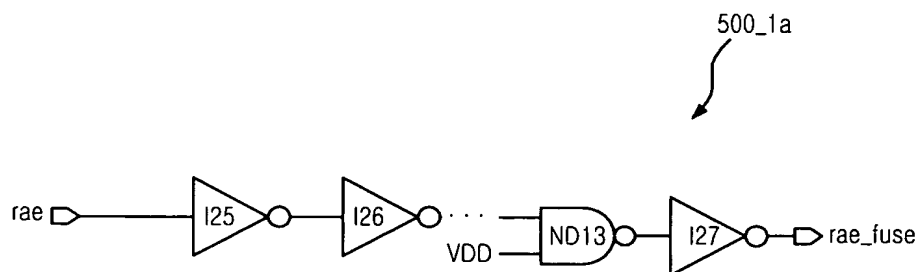
【도 15】



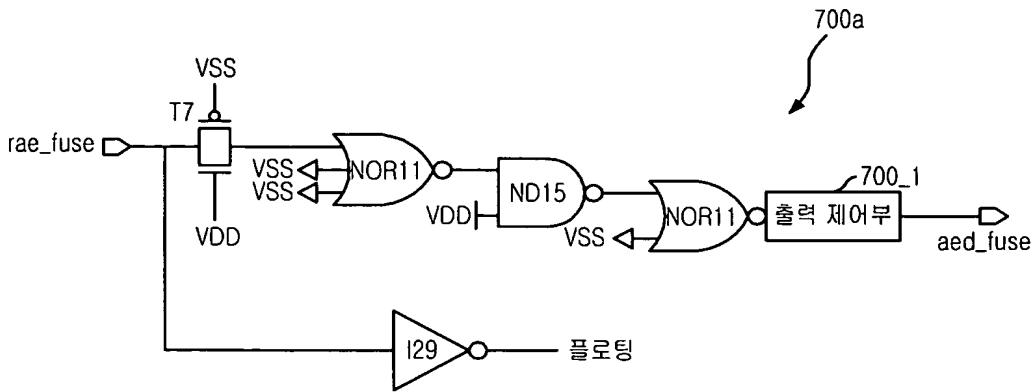
【도 16】



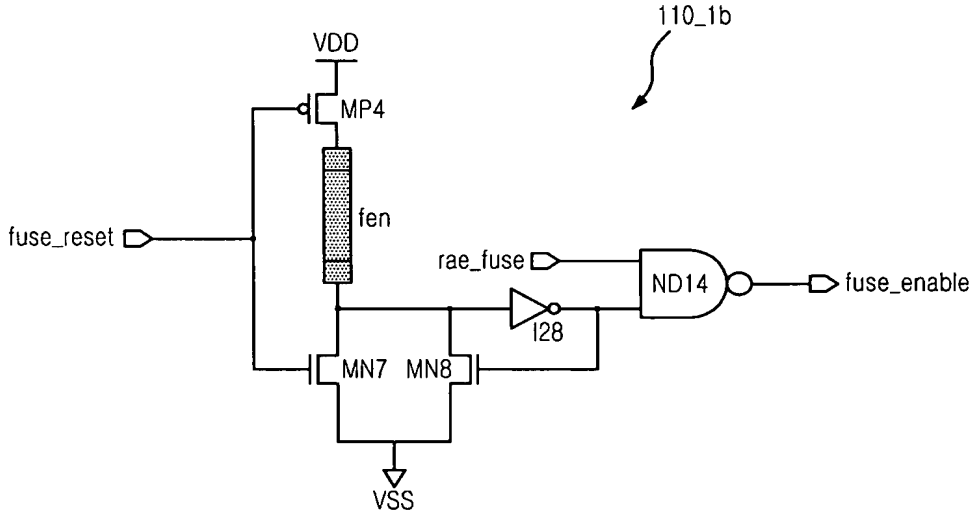
【도 17】



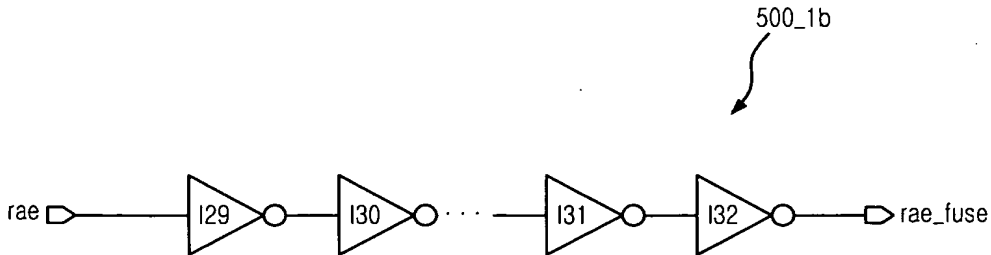
【도 18】



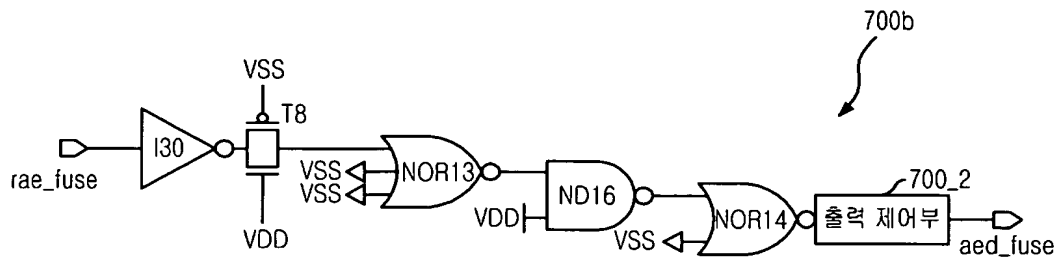
【도 19】



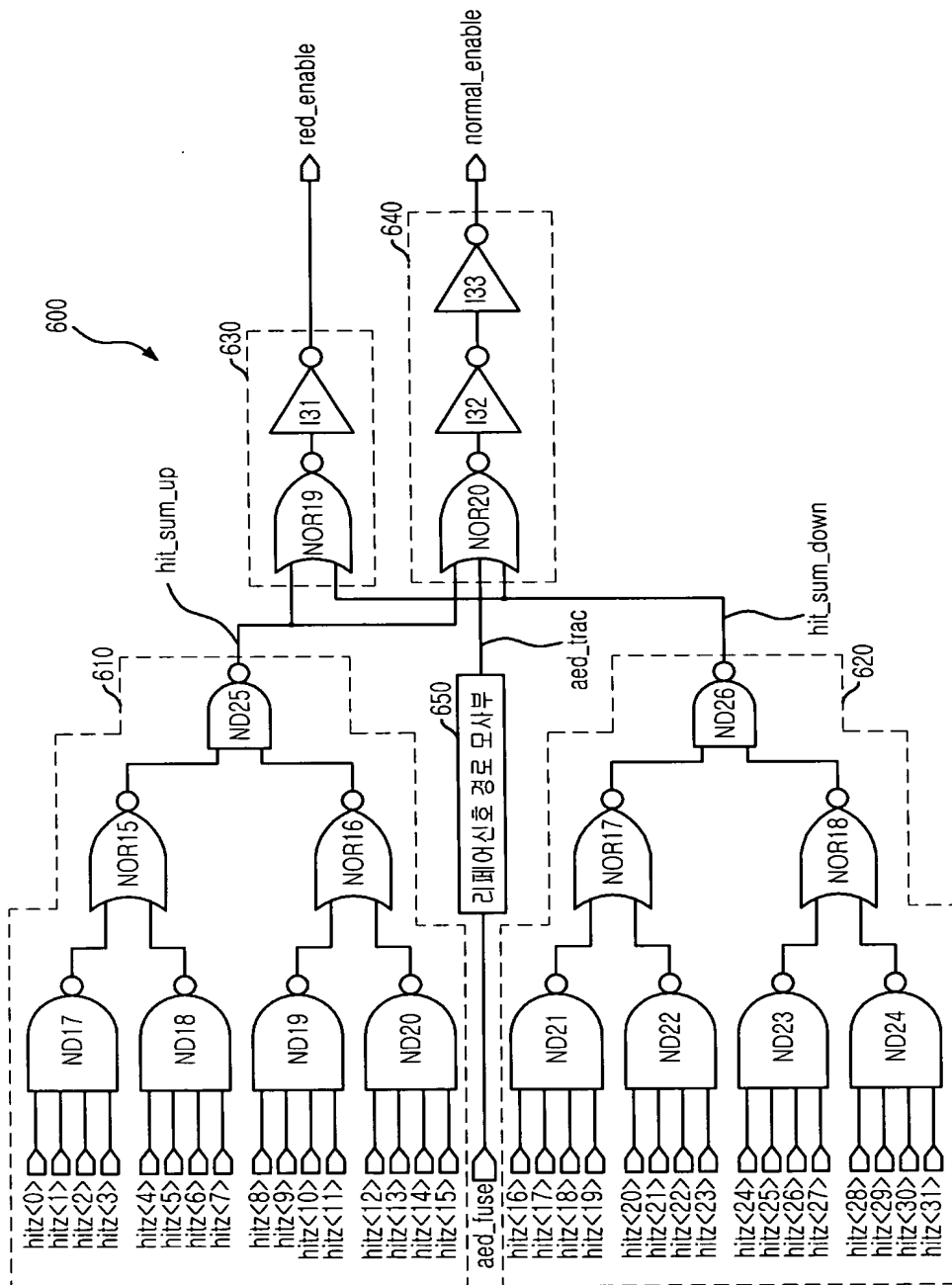
【도 20】



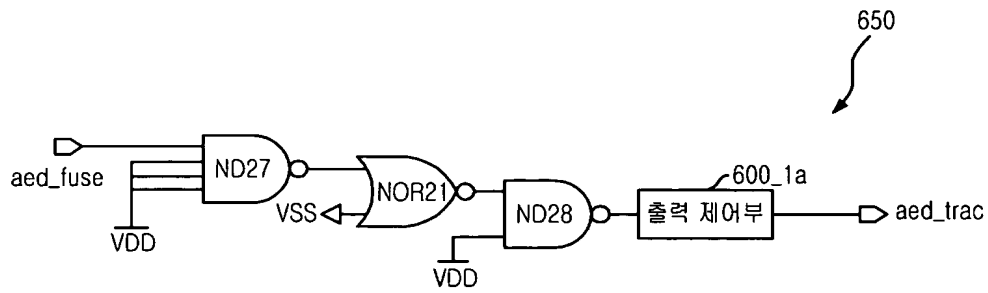
【도 21】



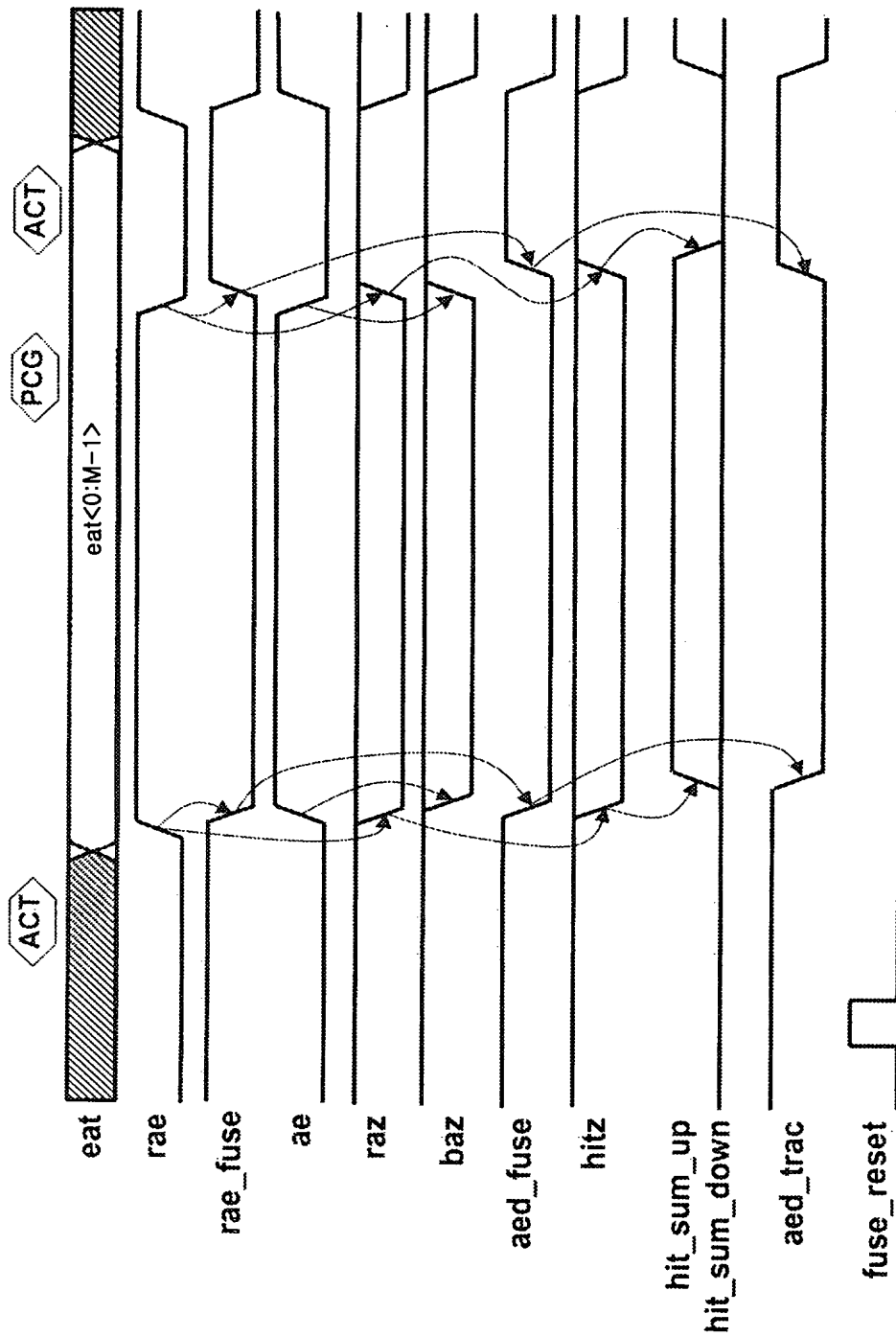
【도 22】



【도 23】



【도 24】



【도 25】

